

UNIVERSIDAD AUTÓNOMA DE ZACATECAS



DISEÑO DE UN INVERSOR CON TECNOLOGÍA MULTINIVEL UTILIZANDO LA TÉCNICA DE ELIMINACIÓN SELECTIVA DE ARMÓNICOS

Ing. Erick Bernal Guerrero

Tesis de Maestría

presentada a la Unidad Académica de Posgrado en Ingeniería
de acuerdo a los requerimientos de la Universidad para obtener el Grado de

MAESTRO EN CIENCIAS DE LA INGENIERÍA
ORIENTACIÓN: ENERGÍAS RENOVABLES Y CIENCIAS AMBIENTALES

Directores de tesis:

Dr. Francisco Eneldo López Monteagudo y Dr. Jorge de la Torre y Ramos

UNIDAD ACADÉMICA DE POSGRADO EN INGENIERÍA

Zacatecas, Zac., 24 de Agosto de 2017

RESUMEN

En la actualidad el empleo de sistemas de generación eléctrica a través de fuentes alternas de energía incrementa continuamente, debido al aumento de la demanda energética mundial, y a una tendencia en la que se busca reducir las emisiones de CO₂. Por lo que estas tendencias han echo que la implementación de dichas fuentes de energía haya aumentado continuamente de una forma considerable en este ultimo cuarto de siglo.

Para que la integración de estas formas alternativas de generación de electricidad sea adecuada, sobre todo en la utilización de energía solar y energía eólica, debido a que necesitan de acondicionarse, se ha hecho latente la necesidad de implementar dispositivos electrónicos de potencia como son los inversores (corriente continua - corriente alterna), con los que actualmente se busca tener fuentes de generación eléctrica de pequeña, media y alta potencia, que cumplan con los requerimientos de eficiencia, calidad y seguridad establecidas por la Comisión Federal de Electricidad (CFE).

En el presente trabajo, se presenta el diseño e implementación de un convertidor CC/CA (corriente continua - corriente alterna) utilizando una topología para el inversor de puentes H en cascada con fuentes CC independientes en una configuración multinivel de 11 niveles de voltaje de control. Y aplicando la técnica de modulación de Eliminación Selectiva de Armónicos que permite mediante el análisis de Series de Fourier seleccionar apropiadamente los ángulos de conmutación para la eliminación de los armónicos de baja frecuencia más significativos.

ABSTRACT

At present, the use of electricity generation systems through alternative sources of energy is continuously increasing, due to the increase in global energy demand, and a trend in which CO₂ emissions are being reduced. As a result of these trends, the implementation of these energy sources has increased steadily in the last quarter of a century.

For the integration of these alternative forms of electricity generation to be adequate, especially in the use of solar energy and wind energy, because it is necessary to condition them, it has become latent the need to implement electronic power devices such as inverters (continuous current - alternating current), which currently seek to have small, medium and high power sources of electricity, which meet the requirements of efficiency, quality and safety established by the Comision Federal de Electricidad (CFE).

In the present work, the design and the implementation of a DC / AC converter (direct current - alternating current) using a topology for the inverter of cascaded H - bridges with independent DC sources in a multilevel configuration of 11 voltage levels of control. Applying the technique of the Selective Harmonic Elimination modulation technique that allows it by Fourier Series analysis appropriately chooses the switching angles for the elimination of harmonics of the most significant low frequency.

Contenido General

	Pag.
Resumen	i
Abstract	ii
Lista de figuras	iv
Lista de tablas	v
Nomenclatura	vi
1 Introducción	1
1.1 Antecedentes	1
1.1.1 Sector Eléctrico Mexicano	4
1.1.2 Prospectiva del Sector Eléctrico en México al 2029	5
1.1.3 La Integración de la Energía Renovable al Sistema Eléctrico	6
1.1.4 Inversores Multinivel	7
1.2 Estado del Arte	8
1.3 Identificación del Problema	10
1.4 Hipótesis	10
1.5 Objetivos	11
1.5.1 Objetivo General	11
1.5.2 Objetivos Específicos	11
1.6 Estructura del documento	12
2 Propiedades de los Inversores Multinivel	13
2.1 Topologías de Inversores Multinivel	13
2.1.1 Inversores Multinivel de Diodos de Anclados	15
2.1.2 Inversores Multinivel de Capacitores Flotantes	15
2.1.3 Inversor Multinivel de Puentes H Conectados en Cascada	16
2.1.4 Ventajas y Desventajas de los Inversores Multinivel	19
2.2 Técnicas de Modulación	20

	Pag.
2.2.1 Modulación por Ancho de Pulso Senoidal Multinivel	21
2.2.2 Modulación en Espacio Vectorial	23
2.2.3 Eliminación Selectiva de Armónicos	23
2.3 Parámetros de Desempeño de los Inversores	25
2.3.1 Distorsión Armónica Total	25
2.3.2 Perdidas	26
3 Diseño del Inversor Multinivel	29
3.1 Diseño de la Etapa de Potencia	29
3.1.1 Selección de los DSP	31
3.1.2 Diseño térmico para la etapa de potencia	33
3.2 Diseño de la Etapa de Control	37
3.2.1 Análisis de la Modulación y Control del Inversor Multinivel	40
3.3 Diagrama del flujo del control del inversor	44
3.4 Diseño de la circuitería de control	46
 Apéndices	
Apéndice A: Requerimientos para interconexión en baja tensión	49
Apéndice B: Hojas de datos	52
Apéndice C: Algoritmo para la resolución del sistema de ecuaciones en MathCad	62
Referencias	63

Lista de figuras

Figura	Pag.
1.1 Generación Mundial por combustible 1971-2014 (TWh)[1].	2
1.2 Emisión de CO_2 por Combustible, de 1971 al 2014 (Mega-toneladas) [1].	3
1.3 Capacidad Instalada Mundial de Energías Renovables [2]	4
2.1 Representación de una fase de un inversor con: a) Dos Niveles, b) Tres Niveles y c) n Niveles	14
2.2 Topología Diodo anclado de Tres niveles	15
2.3 Topología de inversor con capacitores flotantes de tres niveles	16
2.4 (a)Topología de Inversor en cascada con fuentes asimétricas, (b)Forma de onda generalizada para 7 niveles.	17
2.5 Clasificación de métodos de modulación multinivel	21
2.6 MAP Senoidal para tres Niveles[17]	22
2.7 Grafico representativo del cambio de estado de un DSP[16]	27
3.1 IMPHC de fuentes asimétricas de niveles de tensión	30
3.2 Circuitería de la etapa de potencia para un puente H	32
3.3 Circuito térmico del IGBT IRG4062D	34
3.4 Forma de onda generalizada para un inversor de 11 niveles de tensión	37
3.5 Forma de onda determinada para cada puente H del inversor multinivel de 11 niveles	38
3.6 Diagrama de flujo para el sistema de control	45
3.7 Diagrama esquemático de la tarjeta Arduino MEGA 2560 R3	46

Figura	Pag.
3.8 Circuito de acondicionamiento para las señales de disparo	47
A.1 Esquema para la interconexión de sistemas en pequeña escala	50

Lista de tablas

Tabla	Pag.
2.1 Secuencias de conmutación para un IMPHC de 7 niveles [11]	18
3.1 Parámetros de las fuentes independientes de CC	31
3.2 Características del IRGB4062D	32
3.3 Características del MUR1540G	33
3.4 Secuencias de conmutación para inversor multinivel de 11 niveles	39
3.5 Ángulos y tiempos de conmutación	44
A.1 Tiempo del sistema ante fluctuaciones de frecuencias.	50

Nomenclatura

Abreviaturas

<i>CC</i>	Corriente Continua.
<i>CA</i>	Corriente Alterna.
<i>CFE</i>	Comisión Federal de Electricidad.
<i>SENER</i>	Secretaria de Energía.
<i>SEN</i>	Sistema Eléctrico Nacional
<i>CO₂</i>	Dióxido de Carbono.
<i>TWh</i>	Terawatt-hora.
<i>GWh</i>	Gigawatt-hora.
<i>MWh</i>	Megawatt-hora.
<i>kWh</i>	Kilowatt-hora.
<i>PIB</i>	Producto Interno Bruto.
<i>FRE</i>	Fuentes Renovables de Energía.
<i>DAT</i>	Distorsión Armónica Total.
<i>MAP</i>	Modulación por Ancho de Pulso.

ESA Eliminación Selectiva de Armónicos.

CP Calidad de Potencia.

Capítulo 1

Introducción

En el presente capítulo se describen de manera breve los antecedentes del crecimiento de la demanda energética mundial, así como del aumento en la utilización de fuentes de energías renovables, de igual forma se incluyen conceptos que permiten una adecuada integración de dichas fuentes de energía a los actuales sistemas eléctricos.

Se presenta una introducción al concepto de inversores multinivel y se realiza un estudio del estado del arte de los mismos. Además se plantea la problemática a resolver, la propuesta a la solución y los objetivos, tanto generales como específicos que se persiguen con el desarrollo de este tema de investigación. Y finalmente se presenta la organización del documento.

1.1 Antecedentes

En la actualidad el empleo de sistemas de generación eléctrica a través de fuentes alternas o fuentes renovables de energía (FRE) incrementa continuamente, debido al aumento de la demanda energética mundial como se puede observar en la Figura 1.1.

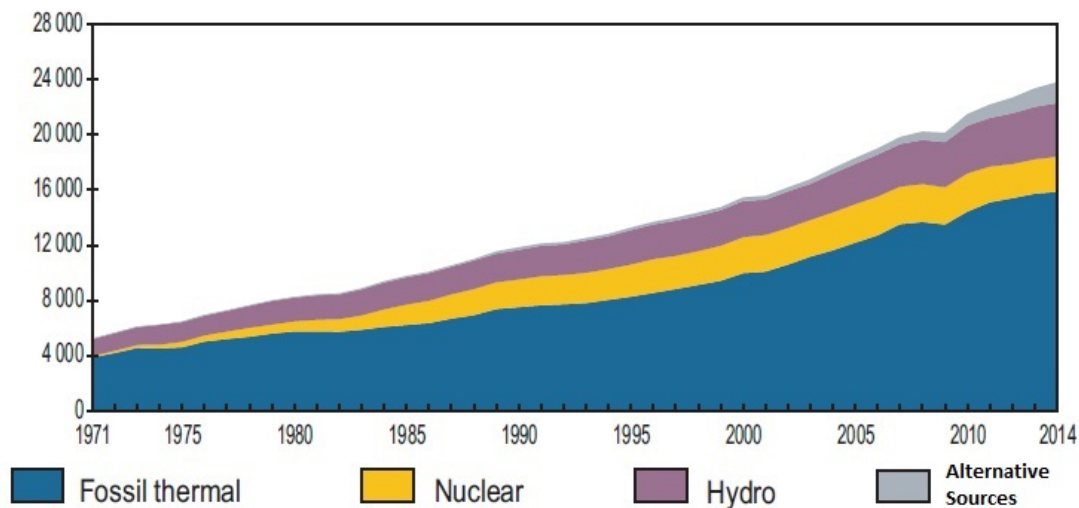


Figura 1.1 Generación Mundial por combustible 1971-2014 (TWh)[1].

En la Figura 1.1 se observa el crecimiento de la generación mundial por fuente de combustible en los últimos treinta años, donde en 1971 la generación de electricidad era de 6,131 TWh, de la cual las fuentes convencionales ocupaban un 75.2% y las fuentes de generación limpias o que no generan emisiones de CO₂, solo representaban un 24.8% equivalente a 1520 TWh. Para el 2014 con una generación de 23,816 TWh las fuentes de generación convencionales representaban el 66.7% y las fuentes de generación limpias ocupaban un 33.3% equivalente a 7930.72 TWh. Aunque el aumento en el empleo de energías no convencionales en cuanto al porcentaje de la generación total no es tan significativo de acuerdo al lapso de tiempo, sin embargo muestra una tendencia cada vez mayor el uso de fuentes de generación eléctrica renovables.

Aunado al crecimiento de la demanda energética mundial, un constante aumento en el precio de los combustibles fósiles usados en las termoeléctricas y un acelerado crecimiento de la emisión de contaminantes a la atmósfera como es el CO₂, como indica la Figura 1.2.

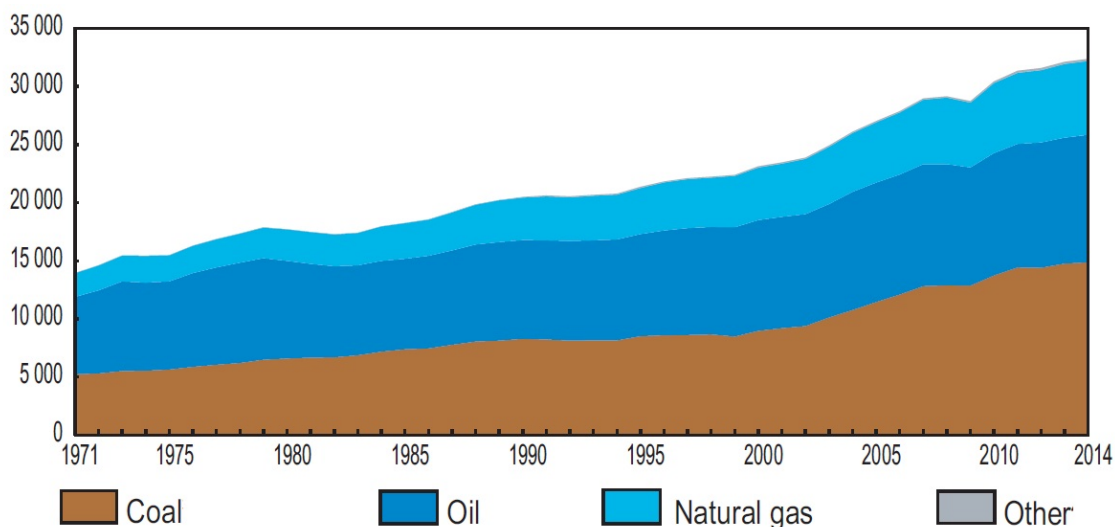


Figura 1.2 Emisión de CO_2 por Combustible, de 1971 al 2014 (Mega-toneladas) [1].

De la misma Figura 1.2 se puede observar que el aumento en las emisiones de CO_2 paso de 14,458 Megatoneladas en 1971 a 32,381 Megatoneladas en 2014, lo que se ve reflejado de igual manera con el aumento de la generación de electricidad por fuente de combustible (Figura 1.1).

Tanto el incremento en el crecimiento de la demanda energética mundial, un constante aumento en los precios de los combustibles, y una marcada tendencia en la que se busca reducir las emisiones de CO_2 y de otros contaminantes al medio ambiente, hace que sea viable la implementación de las FRE, como pueden ser la plantas geotérmicas, hidroeléctricas, mareomotriz, parques eólicos o solares. La necesidad que se tiene para satisfacer el consumo de energía eléctrica a través de fuentes no contaminantes ha se ha visto reflejado en este primer cuarto de siglo como se puede observar en la Figura 1.3 a continuación:

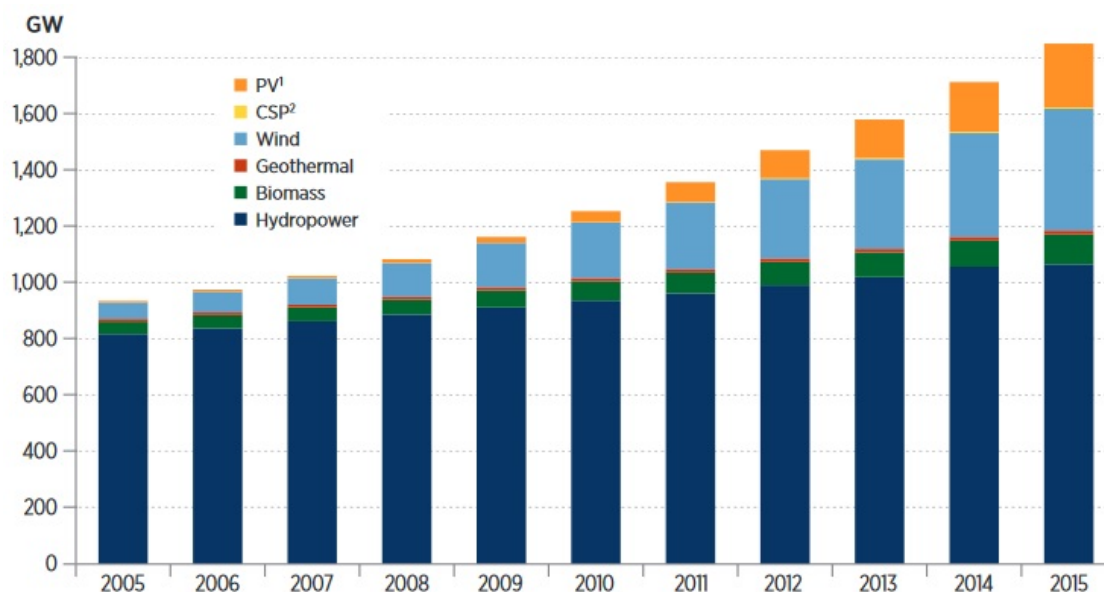


Figura 1.3 Capacidad Instalada Mundial de Energías Renovables [2]

La capacidad de dichas fuentes ha tenido un crecimiento continuo como se observa en la Figura 1.3, donde en el año 2004 se alcanzaba un 22.6%, es decir 901 GW, de la capacidad mundial instalada y en 2014 alcanzando un 28.5%, es decir 1,712 GW. El mayor crecimiento en la instalación de FRE, sobre todo eólica se ha dado ha partir de 2010. Siendo el período 2014-2015 el de mayor aumento siendo de un año a otro de 7.36% pasando de 1,712 GW a 1,848 GW.

1.1.1 Sector Eléctrico Mexicano

En lo que se refiere a la producción y consumo de energía eléctrica, la capacidad de generación de electricidad a disposición de la Comisión Federal de Electricidad (CFE) se diversifica en 10 tipos de tecnología: vapor (combustóleo y gas), carboeléctrica, geotermoeléctrica, ciclo combinado, turbo gas, combustión interna, hidroeléctrica, eoloeléctrica, nucleoeeléctrica y solar fotovoltaica. Según la secretaria de energía (SENER), a finales de 2014, el Sistema Energético Nacional (SEN) se tenía una capacidad instalada eléctrica de 65 451.8 MW.

Este parque de generación está distribuido con el 74.1% de tecnologías que emplean combustibles fósiles (48 530 MW) y 25.9% de tecnologías limpias (16 921 MW). La capacidad instalada de energías renovables incluyen sector privado y el sector publico: **Hidroeléctrica** 12 413 MW (19%), **Geotérmica** 813 MW (1.2%), **Fotovoltaica** 131 MW (0.01%), **Eólica** 2 160 MW (3.1%), **Biomasa** 663 MW (0.1%), **Bioenergía** 778 MW (0.3%) [3]-[4].

Dentro de las FRE, la principal es a través de hidroeléctricas con una generación de 38 822 GWh, que representa un 12.9% de la generación total y la cual mantiene un promedio de crecimiento anual de 4.5%. La energía eólica ha tenido un gran crecimiento en la última década. Hoy en día tiene el 2.1% de participación equivalente a una generación de 6 426 GWh, un gran avance en comparación de los 6 GWh que generaba en el 2004. La energía solar fotovoltaica aun representa menos del 0.1% con una generación de 102.86 GWh [3]-[5].

1.1.2 Prospectiva del Sector Eléctrico en México al 2029

A partir de diferentes bases definidas por la SENER como son el crecimiento del producto interno bruto (PIB), de la población, variaciones en el tipo de cambio, pronósticos de los precios de los combustibles, así como de los requerimientos de los combustibles donde se considera la disminución del uso de los derivados del petróleo; en base a estas bases la Secretaria de Energía proyecta un crecimiento medio anual del 3.5% para los próximos 15 años. Para ubicarse el consumo bruto al final de este periodo (año 2029) en 471.59 TWh, mientras que en 2014 el consumo bruto fue de 280.1 TWh [3].

En lo que se refiere a la capacidad instalada a finales de 2014 se tenían 65452 MW, para satisfacer la demanda de energía eléctrica prevista para dicho período, se requerirán 59 985.6 MW de capacidad adicional, de los cuales el 56.9% corresponderá a nuevos proyectos, 37.5% a proyectos en construcción, licitación o por iniciar obras y el restante 5.6% por obras ya terminadas y programas de rehabilitación y modernización. A este total se restan los retiros programados y con ello, al 2029 se tendrá una capacidad de generación eléctrica de 110 223.1 MW. Esta capacidad adicional de 59 985.6 MW estará compuesta por fuentes de energía limpias en

un 54.3% y por fuentes convencionales en un 45.7%.

La generación a partir de energía eólica se proyecta que tenga un gran crecimiento al final del periodo 2015 - 2029 alcanzando una capacidad instalada de 11 952 MW con una inversión aproximada a los 420 223 millones de pesos, distribuidos en 95 proyectos. Mientras que en lo que respecta a la energía solar se proyecta un crecimiento que alcance una capacidad instalada de 1822 MW un gran crecimiento si se compara con la capacidad que se tiene instalada de 131 MW en el año base que es 2014, y se espera que tenga una inversión aproximada de 93 707 millones de pesos, repartidos en 62 proyectos [5]-[6].

1.1.3 La Integración de la Energía Renovable al Sistema Eléctrico

El Sistema eléctrico debe tener una naturaleza tal que ha de existir un equilibrio entre la oferta y la demanda el cual debe mantenerse a cada segundo. La electricidad que se genera a partir de las fuentes de energía renovables, por ejemplo la eólica y la solar, depende de las condiciones meteorológicas por lo que continuamente se le debe de equilibrar con otra fuente de generación. Existen en el mundo ejemplos exitosos de la integración de las fuentes de energía renovables como son Dinamarca, Alemania y España con 41%, 26% y 16% respectivamente en comparación con la demanda anual de electricidad. Sin embargo también hay ejemplos de integración menos exitosa como son China, Irlanda e Italia [5].

Para la integración del sistema de las fuentes de energía renovables se debe considerar dos temas importantes: los costos asociados como son nuevas líneas de transmisión y, el costo de arranque y apagado de otras fuentes de generación. Y se debe considerar también el valor de la electricidad, la generación de electricidad proveniente de la energía eólica y solar puede reducir el valor de la electricidad generada y con una buena integración el valor de la electricidad esta cerca del valor promedio.

Cualquier fuente de generación adicional tiene consecuencias para el sistema ya existente, debido a que el sistema eléctrico mexicano no se diseñó de acuerdo con la naturaleza

intermitente de las fuentes de energía renovable, por lo que la inclusión de carga base nueva y eficiente tendría impacto en el rendimiento de los generadores existentes. Esto ocasiona la necesidad de generar o convertir energía eléctrica de buena calidad para un correcto funcionamiento, calidad que es indispensable tener tanto en instalaciones residenciales como en la industria.

La calidad y uso eficiente de la energía eléctrica minimiza costos de operación e incrementa los beneficios de mantener la competitividad de una industria donde la mayor parte de la energía eléctrica es usada para el funcionamiento de sistemas de motores. Una forma de mantener esta competitividad según (Doty & Turner) [7], es mejorar la eficiencia de los sistemas mediante las siguientes formas:

- Mantener los niveles de voltaje.
- Minimizar desbalances de fase.
- Mantener buen factor de potencia.
- Mantener buena calidad de potencia.

Normas generales para la interconexión al SEN

Para una adecuada interconexión al sistema eléctrico local, las distintas empresas internacionales suministradoras del servicio eléctrico establecen sus normativas, en México, la CFE establece en sus especificaciones técnicas CFE-L00045 [8] y CFE G0100-04[9], los requerimientos para la interconexión, con los cuales se validara la información del proyecto proporcionada por el solicitante y la cual deberá cumplir con los lineamientos indicados en el Apéndice A.

1.1.4 Inversores Multinivel

De acuerdo a los puntos descritos en la sección 1.1.3, para una adecuada integración de las FRE, se requiere el diseño y desarrollo de sistemas electrónicos de potencia (inversores), que

actúan como una interfaz entre las fuentes de generación y la red eléctrica (carga). Estos tipos de sistemas se han mejorado con el desarrollo de la electrónica de estado sólido en los últimos años, pues con la aparición de conmutadores de estado sólido ha permitido que se reduzca el tamaño y se mejore la eficiencia de los equipos de conversión de energía eléctrica.

Las nuevas tecnologías basadas en convertidores multinivel se han ido abriendo paso principalmente en el campo de las aplicaciones fotovoltaicas con conexión a la red. La tecnología multinivel se basa en la síntesis de la tensión alterna de salida a partir de la obtención de varios niveles de tensión del bus de continua [10]. Del desarrollo de los convertidores multinivel han surgido distintas configuraciones, las cuales comparten características similares en el manejo de medias y altas potencias, en la reducción por pérdidas de conmutación en los dispositivos semiconductores, esto se deriva de trabajar a frecuencias relativamente bajas y un bajo o casi nulo porcentaje del contenido armónico total de las señales de voltaje y corriente de salida. El contenido armónico en las señales de salida se encuentra fuertemente relacionado con el número de niveles de tensión de entrada continua, pues cuanto mayor es el número de niveles en un inversor, la señal de salida, tiende cada vez más a una onda senoidal pura.

1.2 Estado del Arte

Actualmente la generación de energía eléctrica a partir de diferentes fuentes renovables de energía, como pueden ser el sol, el viento, celdas de combustible, etc., ha sido ampliamente adoptada debido al aumento en el consumo eléctrico a nivel mundial. Por lo tanto, la integración de dichas fuentes desempeña un papel importante en la utilización de la energía. Sin embargo, es difícil el utilizar la electricidad generada a través de las fuentes de energía renovables para la inyección de energía a la red eléctrica, por lo que es necesaria la implementación de sistemas con convertidores electrónicos de potencia (inversores) como una interfaz entre las fuentes de generación y la red (carga).

En la búsqueda de una mejor calidad de energía eléctrica se han desarrollado los inversores con tecnología multinivel con los cuales se pretende mejorar principalmente dos elementos: mejorar de la forma de onda, tratando de aproximarse cada vez más a la forma sinusoidal; y tener un bajo porcentaje de distorsión armónica total (DAT). Comparando los inversores multinivel con los inversores convencionales, se observa que la DAT de los inversores convencionales es de 31% mientras que, por ejemplo, en el diseño propuesto por (Mahalakshmi) [11] se observa una DAT de 0.13%. Dentro de los inversores multinivel destacan tres topologías: capacitor flotante, diodo anclado y puentes H en cascada, los cuales tienen aplicaciones en media y alta potencia, el desarrollo de esta investigación se centra en la topología de puentes H en cascada utilizando única fuentes de CC. La ventaja principal de esta estructura es el número reducido de semiconductores y circuitos de control de disparo, además de una mejor calidad y eficiencia de voltaje, lo que hace que el inversor de puentes H en cascada sea un candidato perfecto para aplicaciones fotovoltaicas [12].

Diferentes técnicas de modulación pueden ser aplicadas para el control de un inversor multinivel, algunas basadas en Modulación por Ancho de Pulso (MAP) de alta frecuencia, otras en frecuencia de conmutación fundamental. Pero existe una que destaca debido a sus características es la técnica de modulación conocida como eliminación selectiva de armónicos (ESA). Este enfoque de modulación reduce el número de portadoras reduciendo las pérdidas por conmutación, distorsión armónica total (DAT) y, de este modo, aumenta la calidad de potencia (CP) [13]. Existen diferentes algoritmos para la aplicación de la ESA, uno de ellos es el algoritmo genético la que permite minimizar los armónicos selectivos y por ende la DAT, este algoritmo permite determinar ángulos óptimos de conmutación para eliminar algunos armónicos de orden inferior, minimizando la distorsión de armónicos totales, manteniendo al mismo tiempo el voltaje fundamental requerido [14]. Esta técnica se puede aplicar a los inversores multinivel con cualquier número de niveles.

1.3 Identificación del Problema

Debido al acelerado crecimiento de la demanda en el consumo de energía eléctrica a nivel mundial, y a la tendencia de crecimiento en el uso de fuentes de energía renovables o energías limpias. Se ha hecho latente la necesidad de dispositivos convertidores electrónicos de potencia como son los inversores (CC-CA), con los que se busca tener fuentes de generación eléctrica de media y alta potencia, siendo necesario que estos cumplan con los requerimientos de eficiencia, calidad y seguridad establecidos por parte de los operadores de la red eléctrica.

Por lo que queda en claro una necesaria optimización y desarrollo de nuevas tecnologías de los inversores multinivel que hagan posible una adecuada integración al sistema eléctrico cumpliendo todas las especificaciones establecidas por los organismos reguladores. Además de que puedan competir en sus características técnicas con los actuales equipos disponibles en el mercado.

1.4 Hipótesis

A continuación se presentan las hipótesis del presente tema de investigación:

1. La Topología de puentes H en cascada es la mas adecuada para el desarrollo de inversores multinivel
2. Con la eliminación selectiva de armónicos sera posible obtener una distorsión armónica total menor al 8% en voltaje y el 5% en corriente.
3. A menor distorsión armónica total el voltaje eficaz obtenido a la salida del inversor sera mayor
4. Al existir un menor porcentaje de distorsión armónica total, se reducen las perdidas por conmutación y aumenta la eficiencia del inversor multinivel.
5. Es posible fabricar un inversor multinivel que compita técnicamente con los modelos inversores conocidos comercial mente.

Las anteriores preguntas serán respondidas a través del desarrollo y conclusión del presente tema de investigación.

1.5 Objetivos

A continuación se presentan los objetivos generales y específicos, para el desarrollo del proyecto de investigación:

1.5.1 Objetivo General

El objetivo del proyecto de investigación es desarrollar un convertidor electrónico de potencia aplicando la tecnología multinivel, o inversor multinivel, el cual en dentro de todo el sistema que lo compone debe cumplir con los requerimientos de seguridad, eficiencia y calidad de generación de energía para interconexión a la red eléctrica establecidos por CFE.

1.5.2 Objetivos Específicos

Los siguientes puntos indican los objetivos que se pretenden alcanzar durante el desarrollo de la presente investigación:

- Diseñar un prototipo de inversor multinivel, el cual debe ser capaz de generar 11 niveles de control de tensión y simultáneamente de suministrar una potencia constante.
- Seleccionar una estrategia de control adecuada para el inversor.
- Diseñar un prototipo el cual cumpla con los lineamientos para la interconexión: niveles de distorsión armónica total (DAT), protecciones contra sobre corriente y sobre tensión, dejando de generar cuando se desconecta de la RED.
- Validar el diseño del prototipo con herramientas de simulación.
- Fabricar el prototipo del inversor multinivel, y registrar datos de pruebas experimentales.

1.6 Estructura del documento

El documento ha sido organizado en 6 capítulos. El capítulo 1 está constituido por los puntos establecidos anteriormente. En el capítulo 2 se estudia las propiedades generales de los inversores multinivel. Se analizan las diferentes topologías, técnicas de modulación aplicadas a estos, así como los parámetros de desempeño con que se evalúan las estés para una adecuada selección.

En el capítulo 3 se desglosa la metodología desarrollada para el diseño del inversor multinivel de 11 niveles de tensión. En el cual se presentan cálculos, y diagramas esquemáticos de los circuitos, con los cuales sera posible la simulación y construcción del prototipo del inversor multinivel.

El capítulo 4 se divide en dos partes, la primera se desarrolla la validación de cálculos por medio de simulaciones computacionales, y la segunda parte se desarrolla la presentación de datos obtenidos mediante las pruebas experimentales con lo que se busca validar cálculos e hipótesis propuestas. En el capítulo 5 se presentaran las conclusiones realizadas mediante la comparación de los resultados obtenidos, además se proponen recomendaciones y trabajos futuros.

Capítulo 2

Propiedades de los Inversores Multinivel

En el presente capítulo se lleva a cabo un análisis de las topologías de inversores multinivel más utilizados, algunas de las distintas técnicas de modulación que son aplicadas a estos, y los parámetros de desempeño más importantes que es necesario conocer al seleccionar una topología y sus DSP, así como una técnica de modulación, cuando se realiza el diseño de un inversor multinivel.

2.1 Topologías de Inversores Multinivel

Las nuevas tecnologías basadas en convertidores multinivel se han ido abriendo paso en el campo de las aplicaciones fotovoltaicas con conexión a la red, y actualmente se presentan en el área de las aplicaciones de media y alta tensión como una alternativa de peso a los convertidores de dos niveles tradicionales. Como menciona Pietzch [10]: “La tecnología multinivel se basa en la síntesis de la tensión alterna de salida a partir de la obtención de varios niveles de tensión del bus de continua”. Cuanto mayor es el número de niveles de tensión de entrada continua, más escalonada es la forma de onda de la tensión de salida, de modo que tiende cada vez más a una onda senoidal, minimizándose así el porcentaje de distorsión armónica total.

Dentro de las principales características que poseen los inversores convencionales, se encuentran el alcanzar altos rangos de potencia, así como hacer posible el aprovechamiento de fuentes de energía renovables, como son aplicaciones fotovoltaicas y eólicas. Sin embargo el

requerimiento de medios y altos niveles de potencia requeridos, han hFigura problemático el conectar directamente solo un semiconductor de potencia. Como resultado de esto se ha introducido una estructura de un convertidor de potencia multinivel como alternativa a la necesidad de altas potencias. Por lo que subsecuentemente, varias topologías de convertidores multinivel han sido desarrolladas, dentro de las más comúnmente utilizadas se encuentran las siguientes tres:

- Convertidor en cascada de puentes H con fuentes separadas de CC
- Convertidor diodo anclado.
- Convertidor de capacitores flotantes.

La Figura 2.1 muestra un diagrama esquemático representativo de una fase de un inversor con diferente número de niveles, en el cual los dispositivos semiconductores de potencia son representados por interruptores ideales con varias posiciones.

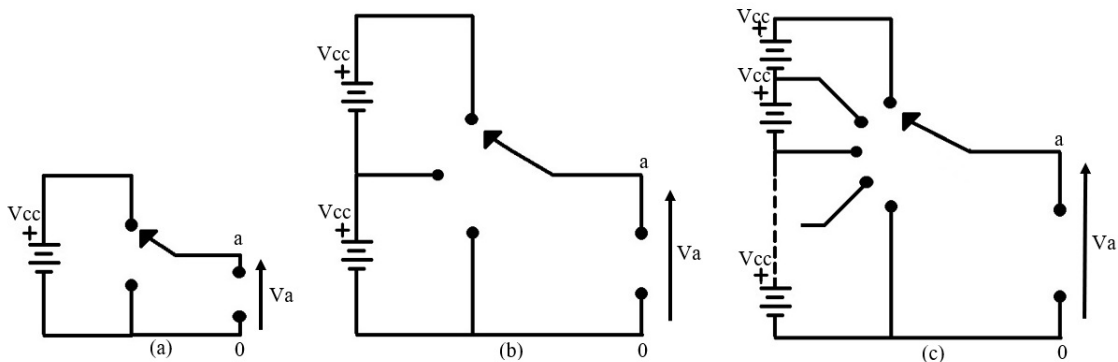


Figura 2.1 Representación de una fase de un inversor con: a) Dos Niveles, b) Tres Niveles y c) n Niveles

Como se observa en la Figura 2.1(a) se representa la estructura básica de un inversor convencional de dos niveles, así de igual forma la Figura 2.1(b) uno de tres niveles, y la Figura 2.1(c) representa la forma generalizada de un inversor de n niveles, o multinivel, donde se cuenta con diferentes fuentes de tensión en corriente directa donde con una adecuada secuencia de conmutación se podrá sintetizar una señal de salida cuasi-senoidal.

2.1.1 Inversores Multinivel de Diodos de Anclados

Este inversor multinivel de diodos anclados (IMDA) se caracteriza por dividir la tensión continua de alimentación en una cierta cantidad de niveles por medio de condensadores conectados en serie como se puede observar en la Figura 2.2.

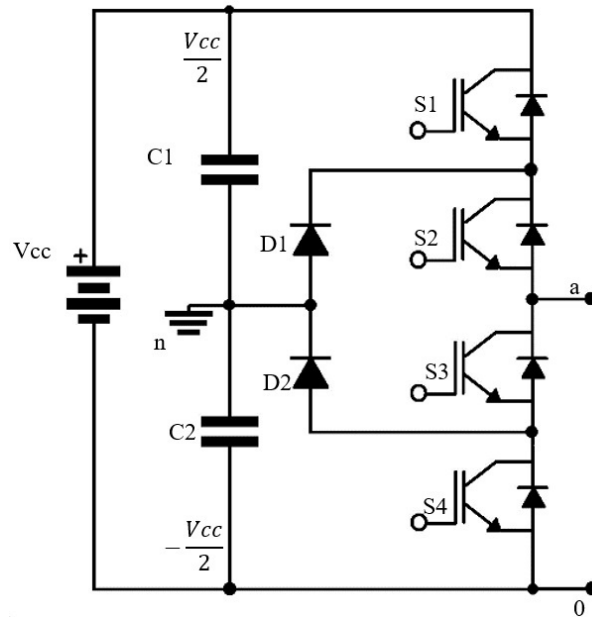


Figura 2.2 Topología Diodo anclado de Tres niveles

La topología para un IMDA de tres niveles, se muestra en la Figura 2.2, donde para determinar la cantidad de capacitores necesarios se considera $(m - 1)$, en el cual “ m ” representa el número de niveles del inversor. Se requiere también $(m-1)(m-2)/2$ diodos de enclavamiento, los cuales deben ser capaces de bloquear la tensión proveniente del capacitor y de esta forma limitar el estrés de voltaje de los dispositivos de potencia. Conforme incrementa el número de niveles de control de tal forma se mejora la calidad del voltaje de salida y la forma de la onda se asemeja a una onda senoidal [16].

2.1.2 Inversores Multinivel de Capacitores Flotantes

La estructura del inversor multinivel de capacitores flotantes (IMCF) es similar a la de IMDA pero utiliza condensadores en lugar de diodos para establecer los niveles de tensión. La Figura 2.3 presenta el diagrama electrónico de un inversor monofásico de tres niveles.

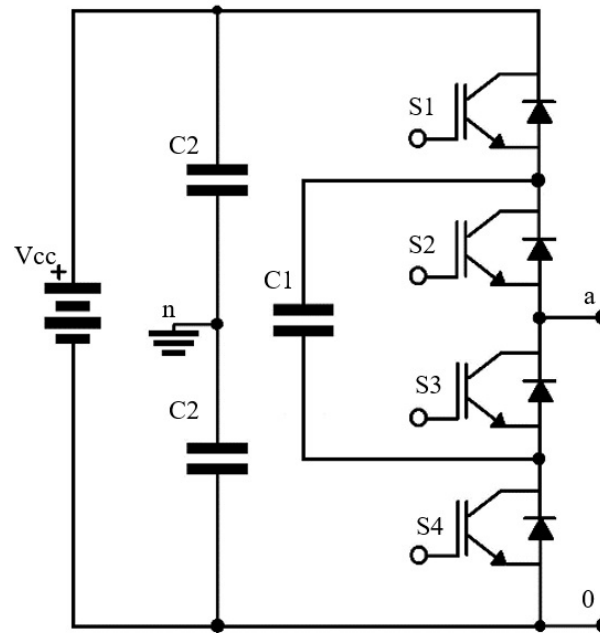


Figura 2.3 Topología de inversor con capacitores flotantes de tres niveles

El IMCF de la Figura 2.3, para su construcción requiere de $(m-1)$ condensadores, $2(m-1)$ interruptores para m niveles de tensión deseados a la salida y $(m-1)(m-2)/2$ capacitores auxiliares por fase. Cada condensador debe mantener una tensión fija; sin embargo, debido a que los condensadores no siempre están cargados, el convertidor presenta grandes problemas para mantener equilibrados los niveles de tensión [17]. En este caso, la técnica de modulación implementada debe corregir dicho problema mediante la implementación de un control muy complejo; además, en esta topología es necesario cargar previamente los condensadores antes de empezar a operar como inversor, por lo tanto, el arranque se torna lento [18].

2.1.3 Inversor Multinivel de Puentes H Conectados en Cascada

La topología de inversores multinivel de puentes H conectados en cascada (IMPHC), se basa en la conexión en serie (o cascada) de varios inversores de tres niveles, los cuales se constituyen como celdas, y cada una de ellas es alimentada por una fuente de CC independiente, lo cual evita el uso de diodos de enclavamiento [16]-[17]. Todo esto con la finalidad de obtener una salida de tensión senoidal, como se puede observar en la Figura 2.4(b).

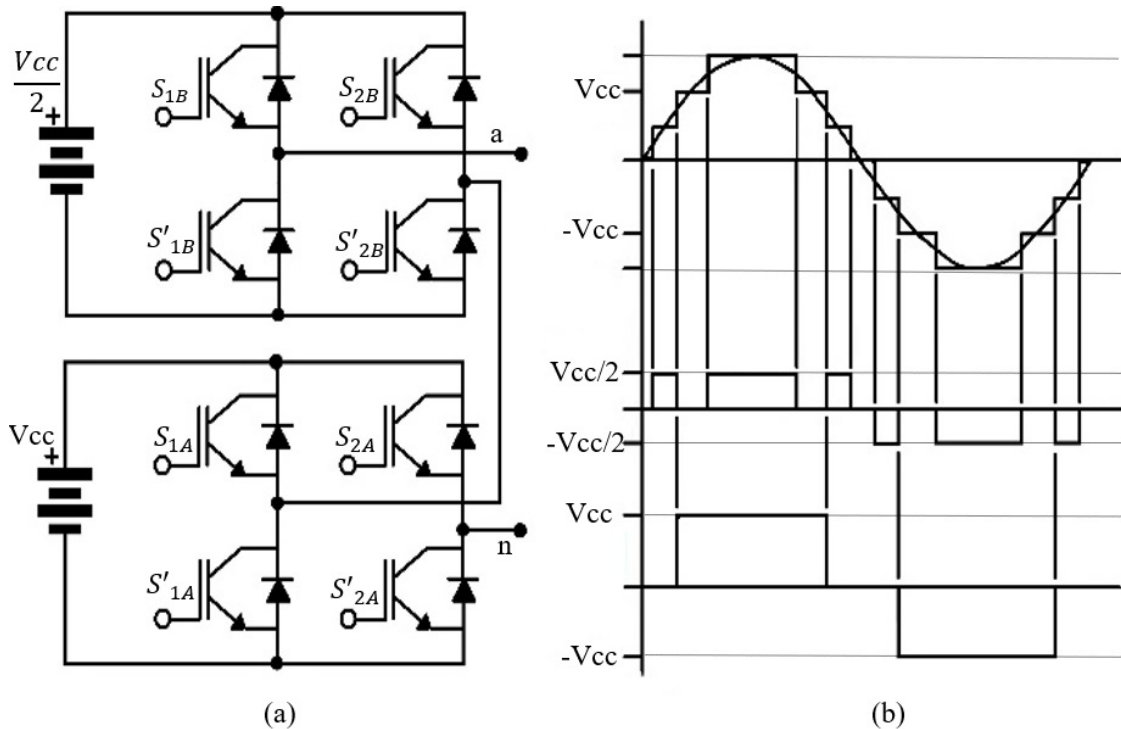


Figura 2.4 (a) Topología de Inversor en cascada con fuentes asimétricas, (b) Forma de onda generalizada para 7 niveles.

Como se observa en la Figura 2.4(a), la tensión de la onda de salida es la suma de los voltajes que se generan en cada celda, estas sumas de voltaje conforman una onda de salida cuasi-senoidal mediante diferentes arreglos de conmutación de los dispositivos semiconductores de potencia (DSP), con la opción de ser controlados mediante las distintas técnicas de conmutación existentes.

Debido a su característica de poseer fuentes de CC independientes, una de las principales ventajas de las topologías de este tipo es la posibilidad de aumentar fácilmente el número de niveles al agregar celdas en cascada sin tener la necesidad de re-diseñar la etapa de potencia. Dentro de los IMPHC, surgen dos clasificaciones los que poseen fuentes simétricas y asimétricas. Y como su nombre lo indica, la diferencia entre ellos radica en la magnitud de la fuente de alimentación de cada inversor de tres niveles. Los inversores simétricos requieren que las fuentes de alimentación tengan la misma magnitud, en cambio los asimétricos poseen fuentes de tensión de valores diferentes [13]. Lo anterior se refleja en la cantidad de niveles

que pueden generar con base en la misma secuencia de encendido. Resultando que en los inversores asimétricos pueden generar más niveles de tensión que los simétricos.

Para un **IMPHC de fuentes simétricas**, en este el número de niveles de tensión a la salida, esta dado por $m = (2n + 1)$. Donde “m” representa el numero de niveles, y “n” el numero de celdas del inversor. En este inversor el numero niveles de voltajes que se puede obtener son $2V_{cc}$, V_{cc} , 0 , $-V_{cc}$ y $-2V_{cc}$. Para este tipo de inversor en una configuración con dos celdas y fuentes simétricas se pueden obtener hasta cinco niveles [19].

De igual forma para una configuración de dos celdas en cascada, donde se escala la segunda fuente de alimentación al doble de la primer fuente se tiene un **IMPHC de fuentes asimétricas**, como se puede notar en la Figura 2.4(a).

La forma de onda generalizada para un inversor con 7 niveles de tensión, puede ser observada en la Figura 2.4(b), la cual se puede generar a partir de distintas secuencias de conmutación de los DSP, en la Tabla 2.1 se muestra la secuencia mas utilizada en la literatura consultada.

Tabla 2.1 Secuencias de conmutación para un IMPHC de 7 niveles [11]

V_{out}	S_{1A}	S'_{1A}	S_{2A}	S'_{2A}	S_{1B}	S'_{1B}	S_{2B}	S'_{2B}
$1.5V_{cc}$	1	0	0	1	1	0	0	1
V_{cc}	1	0	0	1	0	1	1	0
$0.5V_{cc}$	0	1	0	1	1	0	0	1
$0V_{cc}$	0	1	0	1	0	1	0	1
$-0.5V_{cc}$	0	1	0	1	0	1	1	0
$-V_{cc}$	0	1	1	0	1	0	0	1
$-1.5V_{cc}$	0	1	1	0	0	1	1	0

La secuencia de conmutación mas comúnmente empleada en los IMPHC de fuentes asimétricas para obtener 8 niveles de tensión se indica en la Tabla 2.1, donde “0” representa que el DSP se encuentra apagado, y “1” que el DSP se encuentra encendido.

En los IMPHC de fuentes asimétricas se puede obtener hasta nueve niveles de voltaje una escalada tres veces mayor que la otra [20], siendo este el numero máximo de niveles a controlar como lo se establece en la ecuación 2.1 a continuación:

$$m = 3^n \quad (2.1)$$

Donde:

m representa el numero de niveles del inversor,

y n representa el numero de celdas del IMPHC de fuentes asimétricas.

De igual forma se pueden agregar mas celdas de puentes H, cada una con su fuente de CC independiente y de esta manera aumentar el numero de niveles, siendo que en un inversor con 3 celdas de puentes H de acuerdo a la Ecuación 2.1 el numero de niveles de voltaje sera de 27, siendo esta configuración suficiente para cumplir el objetivo de este proyecto de generar 11 niveles de voltaje.

2.1.4 Ventajas y Desventajas de los Inversores Multinivel

Del análisis de las anteriores topologías de los inversores multinivel se encuentra que las principales ventajas que estos poseen sobre los inversores convencionales de dos niveles son [15] [16]:

- Menores voltajes de bloqueo de los dispositivos semiconductores de potencia.
- Bajas frecuencias de conmutación, lo cual implica que las perdidas por conmutación en los DSP se reducen en comparación con los inversores de tres niveles

- Conforme aumenta el número de niveles en un inversor la señal de salida es más parecida a una senoidal por lo que la THD es menor. Al obtenerse una THD mínima las dimensiones del filtro de salida del inversor disminuyen.
- Permiten manejar grandes cantidades de potencia ya que la salida es (para el caso de inversores conectados en cascada) la suma de las salidas de cada puente H.
- Disminuye el estrés electrónico de los interruptores electrónicos ya que el número de conmutaciones se distribuye entre un número mayor de interruptores.

Por otro lado, dentro las desventajas se encuentran:

- La complejidad en el control de los interruptores es mayor que la de un inversor de tres niveles, por lo que la implementación de la técnica de modulación es de un grado aun mayor.
- Llegan a ser más voluminosos y pesados.

2.2 Técnicas de Modulación

Las técnicas de modulación para los algoritmos multinivel son programas o circuitos electrónicos que manejan a los DSP, para que se enciendan o apaguen ciertos niveles del inversor, al mismo tiempo se encargan de regular la amplitud, frecuencia y minimizar el contenido armónico de las tensiones y corrientes de salida del inversor, y dependiendo de la topología se debe encargar de mantener el equilibrio de los condensadores en el bus de continua.

Las principales técnicas de modulación para inversores multinivel se muestran en la Figura 2.5 a continuación.

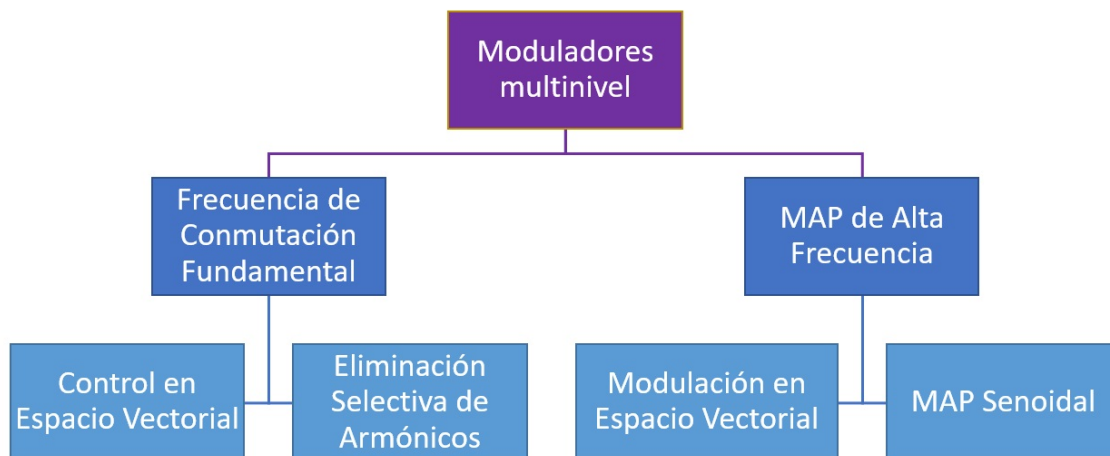


Figura 2.5 Clasificación de métodos de modulación multinivel

En la Figura 2.5 se muestra el esquema de las principales técnicas de modulación, que se derivan en dos vertientes principales. En la primer vertiente se encuentran las que trabajan a una MAP de Alta Frecuencia en las cuales se tienen la Modulación en Espacio Vectorial y los de MAP Senoidal Multinivel. Y en la segunda están los que trabajan a una Frecuencia de Conmutación Fundamental, es decir, que trabajan a la frecuencia de oscilación de la red eléctrica, dentro de estos se tienen el Control en Espacio Vectorial (CEV), y la Eliminación Selectiva de Armónicos (ESA).

La importancia de las técnicas de modulación se debe a que estas definen el desempeño de los inversores multinivel. A partir de lo que se ha estudiado en el análisis estado de arte se conoce que mas aplicadas en el desarrollo de inversores multinivel son las MAP Senoidal, Modulación en Espacio Vectorial y la Eliminación Selectiva de Armónicos, las cuales son explicadas a continuación.

2.2.1 Modulación por Ancho de Pulso Senoidal Multinivel

El principio de control del MAP Senoidal Multinivel es usar varias señales portadoras triangulares teniendo solo una señal senoidal moduladora.[15] Para un inversor de m niveles, se necesitan $(m-1)$ señales triangulares portadoras, las portadoras tienen la misma frecuencia f_c

y la misma amplitud pico-pico, la señal moduladora es senoidal con frecuencia f_m y amplitud A_m . En todo instante, cada portadora es comparada con la señal moduladora y en cada comparación se enciende el DSP, si la señal moduladora es mas grande que la portadora asignada a ese conmutador[19]. Un ejemplo de esto se puede apreciar en la Figura 2.6

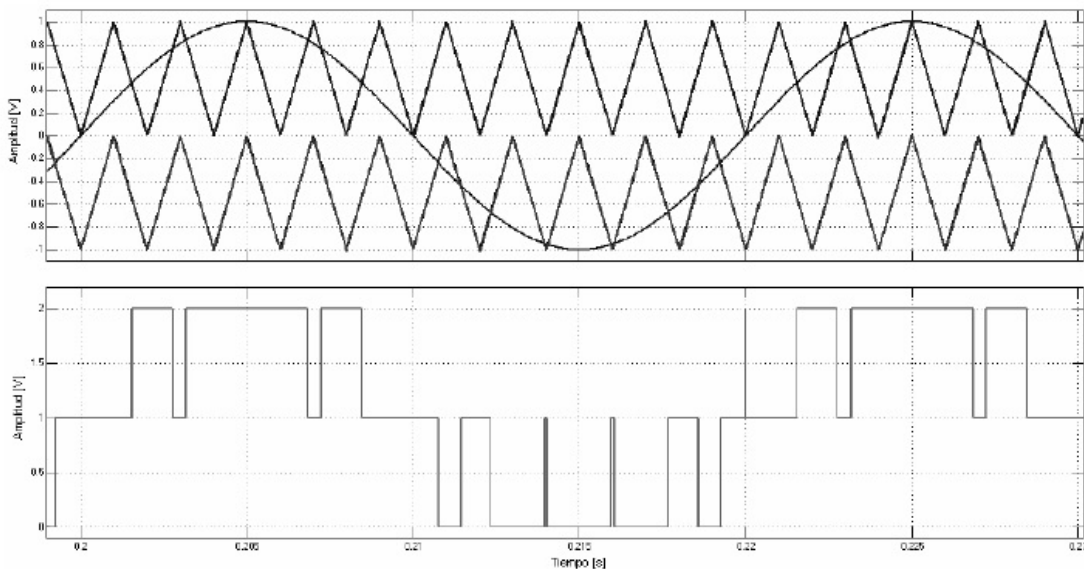


Figura 2.6 MAP Senoidal para tres Niveles[17]

En la Figura 2.6 se observan los puntos en donde se interceptan las señales triangulares portadoras, los cuales indican el momento que ocurren los costados de subida y bajada de los pulsos de ancho variable; esta señal pulsante contiene implícitamente las características de la onda moduladora (amplitud y frecuencia), y el objetivo de este tipo de modulación es poder transmitir estas características hacia la etapa de potencia.

2.2.2 Modulación en Espacio Vectorial

En la Modulación en Espacio Vectorial (MEV) la tensión de salida requerida se expresa como un vector de referencia dentro del diagrama vectorial de tensiones, donde La idea es representar cada uno de los posibles estados de la tensión del inversor a través de un vector, el conjunto de todos los vectores posibles conforma el diagrama vectorial de tensiones del inversor y cuya longitud está relacionada con la amplitud y la velocidad de giro del vector, la cual es igual a la frecuencia deseada de la tensión de salida[21].

La MEV utiliza directamente la variable del algoritmo de control de la parte del sistema de control e identifica cada vector de conmutación como un punto en el espacio complejo de (α, β) . Debido a la gran complejidad para la identificación de los vectores y las secuencias de conmutación esta técnica no es adecuada para inversores con un alto número de niveles. Para un inversor con “m” número de niveles se requieren seis sectores, por cada sector $(n - 1)^2$ combinaciones vectoriales y n^3 secuencias de switcheo [18].

2.2.3 Eliminación Selectiva de Armónicos

La técnica eliminación selectiva de armónicos es una estrategia de modulación que opera a frecuencia fundamental, esta estrategia elimina armónicas de bajo orden, lo que permite reducir las pérdidas por conmutación, la distorsión armónica total, y de esta forma aumenta la calidad de la potencia suministrada [22]. El principio de este método es construir una forma de onda conmutada con algunas muescas que son utilizadas para cancelar armónicos específicos

no deseados mediante el cálculo apropiado de los ángulos de conmutación. Generalmente los armónicos a cancelar son los más significativos, los de baja frecuencia, para los demás, es decir, los de alta frecuencia se puede recurrir a filtros [23].

Para emplear esta estrategia se aplica el principio de simetría de cuarto onda, donde se calcula por medio de la expansión de las series de Fourier ciertos ángulos para generar el 1er. cuarto (90°) del ciclo de la onda de salida; y los demás se encuentran sumándole o restándole un cuarto de onda (90°) o media onda (180°). De las series de Fourier se tiene que la tensión de salida del inversor puede expresarse por la Ecuación 2.2 como:

$$V_o(t) = \frac{a_0}{2} + \sum_{n=1,2,\dots}^{\infty} (a_n \cos(n\omega t) + b_n \text{sen}(n\omega t)) \quad (2.2)$$

Donde:

$$a_0 = \frac{1}{\pi} \int_0^{2\pi} v_0(\omega t) d(\omega t) \quad (2.3)$$

$$a_n = \frac{1}{\pi} \int_0^{2\pi} v_0(\omega t) \cos(n\omega t) d(\omega t) \quad (2.4)$$

$$b_n = \frac{1}{\pi} \int_0^{2\pi} v_0(\omega t) \text{sen}(n\omega t) d(\omega t) \quad (2.5)$$

Donde el número de ángulos a ser calculados dependerá del número de niveles requeridos. Por lo que para lograr el cálculo adecuado de los ángulos de conmutación se debe obtener un sistema de ecuaciones que es no lineal, lo que hace que este método sea difícil de aplicar en tiempo real, por lo tanto dicho cálculo suele hacerse fuera de línea, debido a esto a esta técnica también se le conoce como PWM óptimo o pre-calculado [23],[24].

2.3 Parámetros de Desempeño de los Inversores

El rendimiento de los inversores multinivel suele medirse por medio de la calidad de la señal alterna que generan, lo que hace necesaria una adecuada selección de una topología para el inversor, así como de una técnica de modulación. Por lo que para establecer la calidad de la señal alterna generada, debe medirse la cantidad de señales armónicas presentes en la señal de salida. Y asimismo, es de interés saber las pérdidas que se presentan durante su funcionamiento. En las subsecciones siguientes se explican estos dos temas.

2.3.1 Distorsión Armónica Total

Para poder medir la cantidad de componentes armónicas presentes en la señal de salida de un inversor, se utiliza el parámetro llamado Distorsión Armónica Total (DAT) el cual evalúa la coincidencia de una señal con respecto a la componente fundamental de ésta misma señal. Para el caso de los inversores (y en general para los sistemas eléctricos) la forma de la señal deseada es una señal senoidal simétrica (componente fundamental). Las armónicas producen ciertos problemas en diferentes aplicaciones, por ejemplo, si la carga conectada al inversor es un motor, los devanados pueden sobrecalentarse debido a la segunda y tercera componente armónica. El inversor ideal es aquel que genera señales de salida con una DAT de valor cero. Matemáticamente la DAT se define por medio de la Ecuación 2.6 como:

$$DAT = \frac{\left(\sqrt{\sum_{1,2,3,\dots}^{\infty} V_n^2} \right)}{V_0} \quad (2.6)$$

Donde:

V_0 es la magnitud de la componente fundamental,

V_n corresponde a la magnitud de la componente armónica individual.

Con el fin de reducir el contenido armónico se utilizan las técnicas de modulación previamente comentadas ya que una característica de éstas es que desplazan las componentes armónicas a un rango de frecuencia alta, aproximadamente a la frecuencia de conmutación (frecuencia de la portadora) [20]. Lo anterior facilita la implementación de un filtro pasabajas de salida.

2.3.2 Pérdidas

El concepto de pérdidas, no sólo en los inversores sino en los convertidores electrónicos de potencia, es importante ya que permite cuantificar la eficiencia del sistema. Las pérdidas totales en los inversores se deben a dos rubros:

1. Pérdidas por conducción
2. Pérdidas por conmutación.

Las **pérdidas por conducción** se deben a que los interruptores electrónicos presentan una pequeña caída de tensión cuando conducen, por lo que durante ese periodo el producto ($P = VI$) es diferente de cero. Generalmente el valor de la caída de tensión en los interruptores electrónicos no es mayor a 2 Volts. Por otro lado, un interruptor electrónico en estado de conducción puede ser modelado como un resistor cuyo valor es R_{on} . Así entonces, las pérdidas por conducción (cuya unidad es el Watt[W]) están dadas por la Ecuación 2.7.

$$Per_{cond} = I^2 R_{on} \quad (2.7)$$

Por otro lado, las **pérdidas por conmutación** están asociadas al proceso de transición de los interruptores electrónicos de su estado de apagado al de encendido y viceversa [16]. Lo anterior se debe a que los interruptores no cambian inmediatamente de estado sino, que presentan un retraso de tiempo antes de que haya un cambio en la corriente que circula por ellos. De lo anterior, se puede determinar que las pérdidas por conmutación están relacionadas con el número de cambios de estados de los interruptores. En la Figura 2.7 se ilustra el proceso de cambio de estado de un DSP. En el intervalo de tiempo de t_0 a t_1 el interruptor electrónico

se encuentra desactivado y la tensión entre sus terminales es máxima (V_0) y el valor de la corriente mínimo (prácticamente cero).

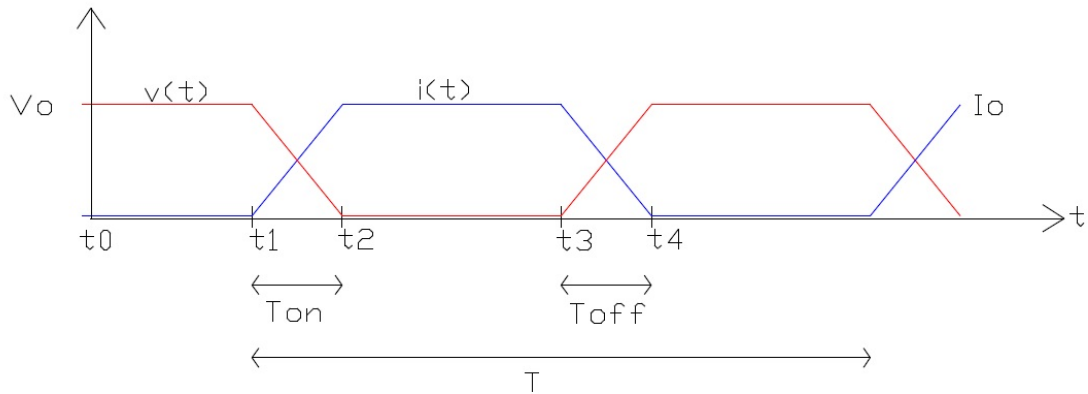


Figura 2.7 Grafico representativo del cambio de estado de un DSP[16]

Como se observa en la Figura 2.7, el tiempo t_1 se enciende el interruptor electrónico y el valor de la tensión entre terminales empieza a disminuir, a su vez la corriente aumenta hasta el valor máximo (I_0), durante el intervalo de tiempo entre t_1 y t_2 el valor de la potencia disipada en el interruptor esta dado por la Ecuación 2.8.

$$P(T_{on}) = \int_{t_1}^{t_2} (v \cdot i) dt = \frac{1}{6} I_0 \cdot V_0 \frac{(t_2 - t_1)}{T} \quad (2.8)$$

Ahora bien, en t_3 el interruptor empieza a desactivarse y la tensión entre terminales empieza a aumentar y la corriente comienza a disminuir hasta el tiempo t_4 . La potencia disipada en el interruptor electrónico durante el proceso de apagado esta dado por la Ecuación 2.9.

$$P(T_{off}) = \int_{t_3}^{t_4} (v \cdot i) dt = \frac{1}{6} I_0 \cdot V_0 \frac{(t_4 - t_3)}{T} \quad (2.9)$$

Cabe mencionar que el caso en el cual la tensión y la corriente inician y terminan su cambio simultáneamente es el menos común ya que en la mayoría de los casos la tensión comienza a cambiar hasta cuando la corriente ha llegado a su valor final [21]. Debido al análisis anterior, es fácil reconocer que cuando se utiliza algún tipo de modulación se reducen las componentes armónicas de la señal de salida, sin embargo debido al incremento en el número de conmutaciones en cada medio ciclo aumentan las pérdidas de conducción y conmutación.

Las características tanto de topologías de inversores multinivel, técnicas de modulación aplicadas a estos, así como los parámetros de desempeño para los inversores a considerar, se analizaron para determinar las características de cada una, que mejor se adecuen para el diseño de un inversor multinivel. Y de esta forma plantear la metodología de diseño del inversor utilizada, la cual se presenta en el capítulo 3.

Capítulo 3

Diseño del Inversor Multinivel

En el presente capítulo se desglosa la metodología desarrollada para el diseño de un inversor multinivel. Se plantea el diseño de las distintas etapas del inversor, las cuales se hacen por medio de un análisis tanto de las topologías existentes más utilizadas en el desarrollo de inversores multinivel, así como el planteamiento de una adecuada técnica de modulación y los componentes necesarios para implementarla.

3.1 Diseño de la Etapa de Potencia

De acuerdo a la información recopilada acerca de las distintas topologías de inversores multinivel, y haciendo un análisis del número de componentes que se requieren para el diseño y construcción de cada una de las diferentes topologías, se determinó que la topología que mejor se adapta para el desarrollo del inversor multinivel de 11 niveles de tensión es la de IMPHC de fuentes asimétricas (IMPHC-FA).

La topología de IMPHC-FA propuesta para el diseño del inversor multinivel, compuesta por tres celdas de puentes H, se puede observar en la Figura 3.1.

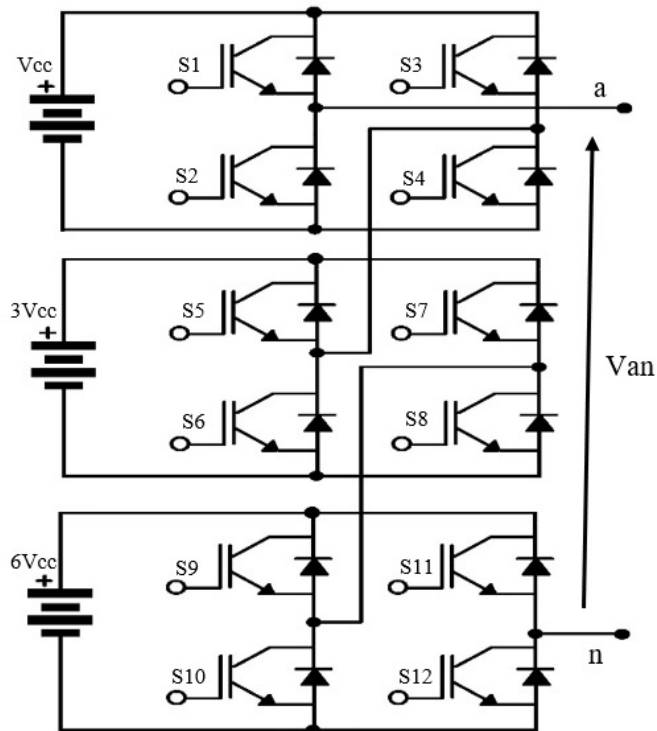


Figura 3.1 IMPHC de fuentes asimétricas de niveles de tensión

Del inversor de multinivel, de la Figura 3.1, puede comprobarse que es posible de obtenerse de los 11 niveles de tensión a través de la ecuación 2.1 donde al tener 3 celdas de puentes, es decir, $n = 3$, se tiene que:

$$m = 3^n = 3^3 = 27 \quad (3.1)$$

De la ecuación 2.1 y como se observa en la ecuación 3.1 se comprueba que la topología propuesta para el inversor multinivel, efectivamente será capaz de proporcionar los 11 niveles de tensión y de esta forma obtener una señal de salida cuasi-senoidal. Para el adecuado diseño y construcción del inversor IMPHC-FA deben implementarse los cálculos necesarios para un adecuado dimensionamiento de los DSP que conformarán cada celda de puentes H que forman parte del inversor multinivel.

3.1.1 Selección de los DSP

Para una adecuada selección de los DSP para el IMPHC-FA, es necesario conocer la potencia, tensiones y corrientes máximas que son capaces de suministrar las fuentes de alimentación, las cuales deben de ser independientes para cada uno de los puentes H del inversor multinivel.

El inversor multinivel sera alimentado a través de un panel fotovoltaico de 320W de potencia, con una tensión y corriente máxima de 37.4V y 8.56A, y para el cual se cuenta con fuentes de CC diseñadas para funcionar con los parámetros que se indican en la Tabla 3.1.

Tabla 3.1 Parámetros de las fuentes independientes de CC

Fuente	Tensión (V)	Corriente Nom. (A)	Corriente Max. (A)
V _{cc}	31.1V	0.255A	0.856A
3V _{cc}	93.3V	0.755A	2.568A
6V _{cc}	186.6V	1.53A	5.136A

De la Tabla 3.1 se observa que la corriente máxima de entrada, es de 1.53A, pero sumada a los dos puentes de menor tamaño, es decir la corriente máxima para los DSP esta dada por:

$$\begin{aligned}
 I_{MAX(INV)} &= I_{(V_{CC})} + I_{(3V_{CC})} + I_{(6V_{CC})} \\
 I_{MAX(INV)} &= 0.856A + 2.568A + 5.136A \\
 I_{MAX(INV)} &= 8.56A
 \end{aligned}
 \tag{3.2}$$

Entonces la corriente máxima que los DSP tendrán que soportar es de 8.56A, de igual forma tienen que considerarse los voltajes de bloqueo, el cual esta dado por $V_{CC}/2$ de aquí que tienen que bloquear entre 120V y 180V, sobre dimensionando un poco. Por lo que se selecciona como DSP para la conmutación en el inversor multinivel, un transistor IGBT IRGB4062D (Anexo B), del cual sus características principales se muestran en la Tabla 3.2.

Tabla 3.2 Características del IRGB4062D

V_{CES}	600 V
I_C	24 A
$I_{C_{pulsada}}$	72 A
P_D	125W \rightarrow 200 W
T_j	$-55^{\circ}C \rightarrow +175^{\circ}C$
$R_{\theta jc}$	$0.60^{\circ}C/W$
$R_{\theta cd}$	$0.50^{\circ}C/W$

El transistor seleccionado IGBT IRGB4062D, tiene dentro de sus características poseer de forma interna un diodo de recuperación suave en paralelo con el transistor el cual se encarga de proteger a los transistores IGBT de corrientes inversas que los pudieran dañar. La manera en que se encuentran dispuestos se muestra en la Figura 3.2, donde de igual forma se puede observar la circuitería de potencia para de una celda del inversor multinivel, que sera igual para los 3 puentes H que lo constituyen.

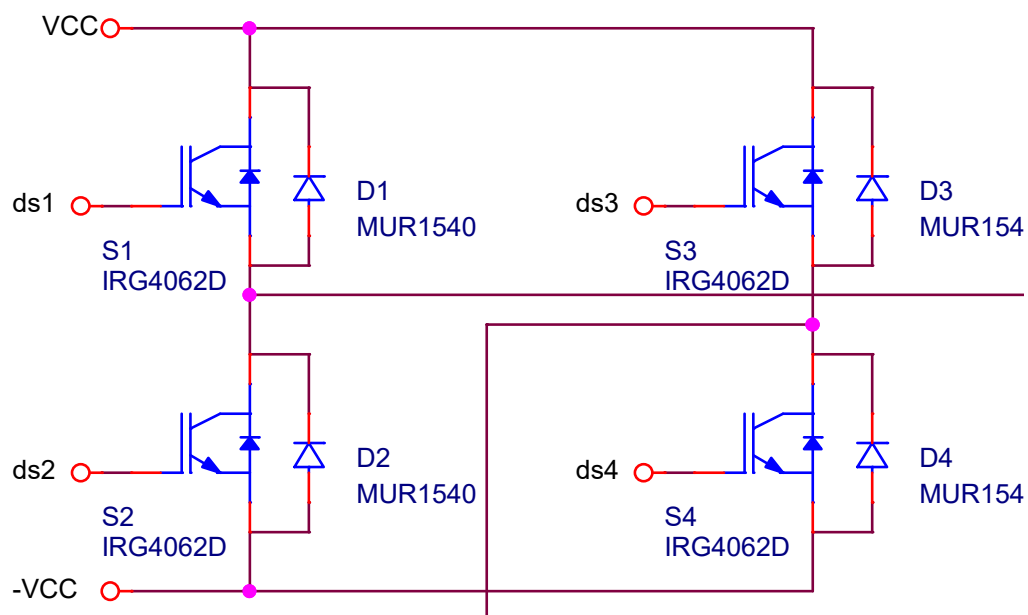


Figura 3.2 Circuitería de la etapa de potencia para un puente H

Estas corrientes inversas pueden producirse al conectar el inversor multinivel a cargas inductivas, en este caso la carga inductiva sera la Red Eléctrica que representa una inductancia de valor infinito. Como medida adicional para la protección de los transistores IGBT se añade un diodo en paralelo con el transistor como se observa en la Figura 3.2. El modelo del diodo a emplear es el MUR1540G, del cual sus características principales se pueden observar en la siguiente Tabla 3.3 y de forma mas general en el Anexo B.

Tabla 3.3 Características del MUR1540G

V_R	400 V
$I_{F(AV)}$	15 A
I_{FSM}	150 A
t_{rr}	60 ns
T_j	$-65^{\circ}C \rightarrow +175^{\circ}C$
$R_{\theta jc}$	1.5 $^{\circ}C/W$
$R_{\theta ja}$	73 $^{\circ}C/W$

3.1.2 Diseño térmico para la etapa de potencia

Para un idóneo funcionamiento del IMPHC-FA, es necesario tener una adecuada disipación de potencia en cual DSP, pues con el flujo de la corriente eléctrica a través de estos se produce una pérdida de energía que se transforma en calor. Este calor aumenta la energía cinética de las moléculas del DSP resultando en el aumento de temperatura del DSP, si este aumento es excesivo y no se controla se reduce la vida útil de los DSP y en el peor de los caso resulta en la destrucción de estos. Por lo que una adecuada disipación del calor generado en el DSP es fundamental.

Por lo anterior es importante conocer si cada uno de los IGBT necesitara que se le coloque un disipador por lo que a partir de los datos que se tienen de la tabla 3.2 que se obtuvieron de la hoja de datos (Apéndice B), en la Figura 3.3 se presenta el diagrama esquemático que representa el circuito térmico de un DSP.

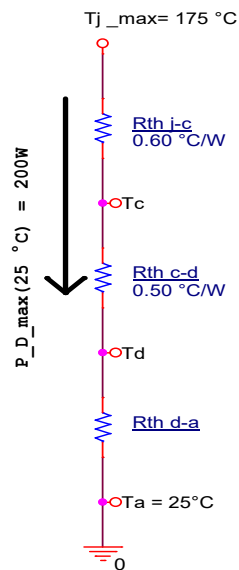


Figura 3.3 Circuito térmico del IGBT IRG4062D

Del circuito térmico de la Figura 3.3 se hace el análisis a través de la aplicación de la ley de Ohm, por lo que se llega a la siguiente ecuación (3.3):

$$T_J - T_A = P_D * R_{\theta T} \quad (3.3)$$

Donde:

T_J : temperatura de la unión,

T_A : temperatura ambiente,

P_D : potencia disipada,

$R_{\theta T}$: resistencia térmica total.

De la Figura 3.3 se puede observar que:

$$R_{\theta T} = R_{\theta J,C} + R_{\theta C,D} + R_{\theta D,A} \quad (3.4)$$

Donde:

$R_{\theta J,C}$: resistencia térmica unión - carcasa,

$R_{\theta C,D}$: resistencia térmica carcasa - disipador,

$R_{\theta D,A}$: resistencia térmica disipador - ambiente.

Para conocer si sera necesaria la implementación de un disipador se debe conocer la temperatura de la unión (T_J) del IGBT, por lo que, para esto se despreciara el valor de $R_{\theta D,A}$, es decir, $R_{\theta D,A} = 0$. Esto debido a que se desconoce el tipo de disipador térmico que se utilizara, o si sera necesaria la implementación de uno de ellos. Sustituyendo el valor de $R_{\theta D,A} = 0$ y estando en el supuesto de que no se usara un disipador $R_{\theta C,D}$ sera igual $R_{\theta C,A}$, es decir, la resistencia termica entre la carcasa y el ambiente, por lo que al sustituir en la ecuación 3.4 se tiene que:

$$R_{\theta T} = R_{\theta J,A} = R_{\theta J,C} + R_{\theta C,A} \quad (3.5)$$

Donde:

$R_{\theta J,A}$: resistencia térmica unión - ambiente,

$R_{\theta J,C}$: resistencia térmica unión - carcasa,

$R_{\theta C,A}$: resistencia térmica carcasa - disipador.

Entonces sustituyendo la Ecuación 3.5 en la Ecuación 3.3, se llega a:

$$T_J - T_A = P_D * (R_{\theta J,C} + R_{\theta C,A}) \quad (3.6)$$

Pero, aún se desconoce el valor de $R_{\theta C,A}$, por lo que para llegar a el se despeja de la ecuación 3.6, resultando:

$$R_{\theta C,A} = \frac{T_J - T_A}{P_D} - R_{\theta J,C} \quad (3.7)$$

Sustituyendo los valores que se pueden observar en la Figura 3.3, se tiene que $R_{\theta C,A} = 0.15^\circ C/W$. Se sustituyen en la Ecuación 3.5 el valor de $R_{\theta C,A}$ que se calculo y el de $R_{\theta J,C} = 0.60^\circ C/W$, valor dado por el fabricante en la hoja de datos. Al sustituir dichos valores se tiene una resistencia térmica unión-ambiente de $R_{\theta J,A} = 0.75^\circ C/W$.

Al conocerse el valor de $R_{\theta J,A}$ se puede determinar la temperatura que alcanzara la unión (T_J), lo que permitirá determinar si se requiere de implementar un disipador, considerando lo siguiente:

- Si, $T_J < T_{J(MAX)}$, pero este se es un valor muy cercano a $T_{J(MAX)}$.
- O si, $T_J \geq T_{J(MAX)}$.

Se calcula el valor de T_J a partir de la Ecuación 3.3, despejando esta incógnita de dicha ecuación, resultando de esta forma:

$$T_J = (P_D * R_{\theta T}) + T_A \quad (3.8)$$

Considerando los valores de $P_D = 100 W$, $T_A = 40^\circ C$ y $R_{\theta J,A} = 0.75^\circ C/W$, los cuales se sustituyen en la ecuación 3.8 se calcula la temperatura de la unión del transistor IGBT, teniéndose como resultado $T_J = 115^\circ C$, con este valor de temperatura se determina que no sera necesaria la implementación de un disipador térmico.

3.2 Diseño de la Etapa de Control

EL diseño de la etapa de control se desarrolla simultáneamente con el diseño de la etapa de potencia, dado la importancia de esta para una adecuada conmutación de los DSP, así como el poder controlar los niveles de tensión y corriente manteniendolos en niveles constantes para permitir una adecuada interconexión del inversor multinivel a la red eléctrica.

Para lograr lo anteriormente mencionado se desarrolla una estrategia de control, basada en la Eliminación selectiva de Armónicos (ESA), la cual, además de mantener niveles de tensión y corriente constantes, tiene la característica de poder eliminar de manera selectiva armónicos de baja frecuencia, con lo que se pretende disminuir el porcentaje de distorsión armónica total (DAT) y haciendo además que la utilización de filtros sea solo necesaria para eliminar aquellos armónicos de alta frecuencia.

Para el empleo de la ESA, es necesario considerar la forma de onda de salida del inversor multinivel (Figura 3.1), para lo anterior se plantea la forma de onda generalizada para 11 niveles de tensión la cual se puede observar en la Figura 3.4.

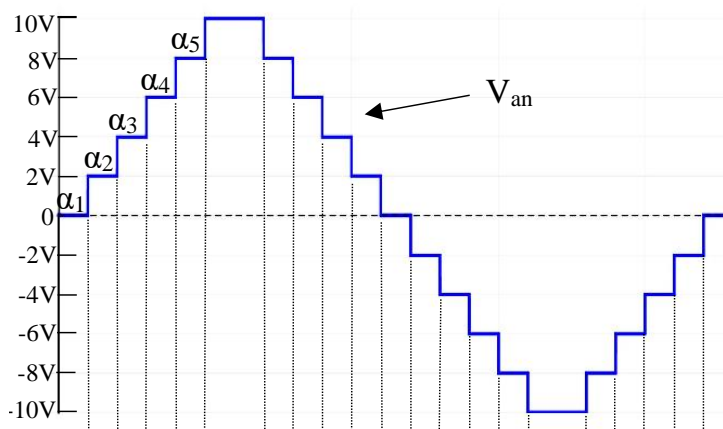


Figura 3.4 Forma de onda generalizada para un inversor de 11 niveles de tensión

A partir de la forma de onda generalizada de la Figura 3.4 se pueden determinar la forma de onda que tendrán cada una de las celdas de puentes H del inversor multinivel (Figura 3.1, estas ondas de salida se pueden ser observadas en la Figura 3.5, que se muestra a continuación:

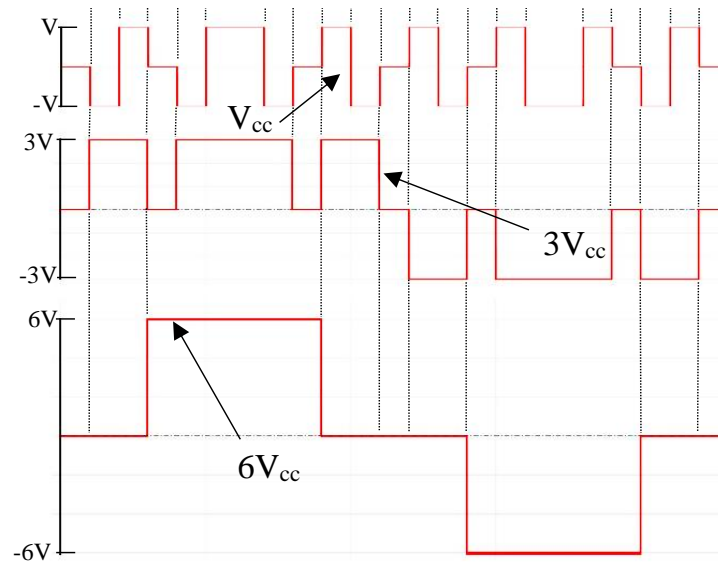


Figura 3.5 Forma de onda determinada para cada puente H del inversor multinivel de 11 niveles

En la figura 3.5 se puede apreciar la forma de onda de salida que fueron determinadas para cada una de las celdas de puentes H, donde cada una representa a la celda del inversor con el mismo nombre de las fuentes de alimentación que se pueden apreciar en la Figura 3.1 deseada para el inversor de 11 niveles, es decir V_{cc} , $3V_{cc}$ y $6V_{cc}$.

A partir de las forma de ondas que fueron determinadas en la Figura 3.5, es posible el obtener las secuencias de conmutación para cada uno de los DSP o transistores IGBT, dichas secuencias cuales se indican en la Tabla 3.4 a continuación:

Tabla 3.4 Secuencias de conmutación para inversor multinivel de 11 niveles

Volts	S_1	S_2	S_3	S_4	S_5	S_6	S_7	S_8	S_9	S_{10}	S_{11}	S_{12}
0	0	1	0	1	1	0	1	0	1	0	1	0
2	0	1	1	0	1	0	0	1	1	0	1	0
4	1	0	0	1	1	0	0	1	1	0	1	0
6	1	0	1	0	1	0	1	0	1	0	0	1
8	0	1	1	0	1	0	0	1	1	0	0	1
10	1	0	0	1	1	0	0	1	1	0	0	1
8	0	1	1	0	1	0	0	1	1	0	0	1
6	1	0	1	0	1	0	1	0	1	0	0	1
4	1	0	0	1	1	0	0	1	1	0	1	0
2	0	1	1	0	1	0	0	1	1	0	1	0
0	0	1	0	1	1	0	1	0	1	0	1	0
-2	1	0	0	1	0	1	1	0	1	0	1	0
-4	0	1	1	0	0	1	1	0	1	0	1	0
-6	1	0	1	0	1	0	1	0	0	1	1	0
-8	1	0	0	1	0	1	1	0	0	1	1	0
-10	0	1	1	0	0	1	1	0	0	1	1	0
-8	1	0	0	1	0	1	1	0	0	1	1	0
-6	1	0	1	0	1	0	1	0	0	1	1	0
-4	0	1	1	0	0	1	1	0	1	0	1	0
-2	1	0	0	1	0	1	1	0	1	0	1	0
0	0	1	0	1	1	0	1	0	1	0	1	0

Estas secuencias de conmutación para cada uno de los transistores IGBT, que se observan en la Tabla 3.4, donde “1” indica que el IGBT se encuentra encendido y “0” que se encuentra apagado, Se complementaran con los tiempos de conmutación o disparo que se obtendrán a través de la aplicación de la ESA, permitiendo de esta forma obtener a la salida del inversor

multinivel una onda cuasi-senoidal.

En las siguientes subsecciones se plantea el desarrollo de la ESA para su aplicación en el inversor multinivel, así como la estrategia de control y el diseño de la circuitería de la etapa de control que se encargara de adecuar las señales de disparo a los transistores IGB para su correcto funcionamiento.

3.2.1 Análisis de la Modulación y Control del Inversor Multinivel

Con la finalidad de obtener un porcentaje de DAT muy reducido en la forma de onda de salida del inversor, por lo que es necesaria la determinación de los ángulos de conmutación, esto tomando en cuenta el principio de simetría del cuarto de onda, por lo que solo sera necesario tomar en cuenta los ángulos α_1 , α_2 , α_3 , α_4 y α_5 . Estos ángulos son descritos en la Figura 3.4, de igual forma es necesario determinar los tiempos correspondientes a dichos ángulos en donde la señal de salida cambia de nivel de voltaje.

Se considera un ángulo general α_i para la señal de la Figura 3.4 y considerando solo el primer cuarto de la señal se tiene:

$$0 < \alpha_1 < \alpha_2 < \alpha_3 < \alpha_4 < \alpha_5 < \frac{\pi}{2} \quad (3.9)$$

Considerando el rango descrito en la Ecuación 3.9 y partiendo de la expansión de series de Fourier descrita en la subsección 2.2.3 del Capítulo 2. Debido a la simetría de la onda de tensión de salida solo se manejaran armónicos de orden impar [25], por lo que para las Ecuaciones 2.3 y 2.4 se tiene que:

$$a_0 = 0 \quad a_n = 0 \quad (3.10)$$

y resolviendo la integral de la Ecuación 2.5 para la primera cuarta parte de la señal de salida, se llega a:

$$\begin{aligned}
 b_n = & \frac{4}{\pi} \int_0^{\alpha_1} 0V_{cc} \text{sen}(n\omega t) d(\omega t) + \int_{\alpha_1}^{\alpha_2} V_{cc} \text{sen}(n\omega t) d(\omega t) \\
 & + \int_{\alpha_2}^{\alpha_3} 2V_{cc} \text{sen}(n\omega t) d(\omega t) + \int_{\alpha_3}^{\alpha_4} 3V_{cc} \text{sen}(n\omega t) d(\omega t) \\
 & + \int_{\alpha_4}^{\alpha_5} 4V_{cc} \text{sen}(n\omega t) d(\omega t) + \int_{\alpha_5}^{\pi/2} 5V_{cc} \text{sen}(n\omega t) d(\omega t)
 \end{aligned} \tag{3.11}$$

De la ecuación 3.11 se resuelven y sustituyen límites:

$$\begin{aligned}
 b_n = & \frac{4V_{cc}}{\pi n} [\cos(n\alpha_1) + \cos(n\alpha_2) + \cos(n\alpha_3) \\
 & + \cos(n\alpha_4) + \cos(n\alpha_5) - 5 \cos\left(\frac{n\pi}{2}\right)]
 \end{aligned} \tag{3.12}$$

Sin embargo, como ya se menciona anteriormente solo se trabajara con armónicos impares por lo que “ $n \rightarrow \text{impar}$ ” entonces de la Ecuación 3.12 el termino “ $((n\pi)/2) = 0$ ” por lo que dicha ecuación se puede representar como:

$$b_n = \frac{4V_{cc}}{\pi n} \left[\sum_{i=1}^{\frac{m-1}{2}=k} \cos(n\alpha_i) \right] \tag{3.13}$$

Al sustituir las Ecuaciones 3.9 y 3.13 en la ecuación 2.2 se llega a la siguiente Ecuación 3.14 con la que se puede representar cualquier el voltaje de la Figura 3.4 y de cualquier onda de “ m ” niveles pico-pico:

$$V_0(t) = \sum_{n=1,3,5\dots}^{\infty} \left(\frac{4V_{cc}}{\pi n} \left[\sum_{i=1}^k \cos(n\alpha_i) \right] \right) \tag{3.14}$$

Entonces a partir de la ecuación 3.14 se tendrá que la amplitud de cualquier n_{mo} armónico impar podrá ser expresado como:

$$H_n = \frac{4V_{cc}}{n\pi} \sum_{i=1}^k [\cos(n\alpha_i)] \quad (3.15)$$

Donde:

H_n representa la función de la onda de salida en términos de Fourier,

V_{cc} es la tensión de la fuente de alimentación de CC,

k representa el numero de ángulos de conmutación,

n el armónico impar y

α_i el ángulo de conmutación a calcular.

De acuerdo a la Ecuación 3.15 y al principio de simetría del primer cuarto de onda, para mantener el número de armónicos eliminados a un nivel constante, todos los ángulos de conmutación deben ser menores a $\pi/2$. Como resultado, esta estrategia de conmutación provee un rango estrecho del índice de modulación, por lo que es esta su principal desventaja.

Entonces de la Ecuación 3.15 se tiene para $n = 1$, que corresponde a la componente fundamental, que:

$$\frac{H_1 \pi}{4 V_{cc}} = \sum_{i=1}^k [\cos(\alpha_i)] \quad (3.16)$$

De la ecuación 3.16 se tiene el siguiente termino:

$$\frac{H_1 \pi}{4 V_{cc}} = M * s \quad (3.17)$$

La Ecuación 3.17 representa el índice de modulación el cual comprende la relación entre la amplitud de la componente fundamental y la tensión en el enlace de CC. Entonces para un inversor de 11 niveles, de la Ecuación 3.13 se tiene que “ $k = (m - 1)/2$ ”, por lo que sera necesario implementar el calculo para 5 angulos de conmutación, por lo que de las anteriores Ecuaciones 3.16 y 3.17, resulta:

$$M * s = \cos(\alpha_1) + \cos(\alpha_2) + \cos(\alpha_3) + \cos(\alpha_4) + \cos(\alpha_5) \quad (3.18)$$

De igual forma de la Ecuación 3.15 se obtiene el sistema de ecuaciones no lineales para los armónicos impares, en este caso se seleccionó para su eliminación los armónicos 3^{ro}, 5^{to}, 9^{no} y 11^{vo}, resultando junto con la Ecuación 3.18 el siguiente sistema de cinco ecuaciones no lineales con cinco incógnitas:

$$\begin{aligned} \cos(\alpha_1) + \cos(\alpha_2) + \cos(\alpha_3) + \cos(\alpha_4) + \cos(\alpha_5) &= M * s \\ \cos(3 \alpha_1) + \cos(3 \alpha_2) + \cos(3 \alpha_3) + \cos(3 \alpha_4) + \cos(3 \alpha_5) &= 0 \\ \cos(5 \alpha_1) + \cos(5 \alpha_2) + \cos(5 \alpha_3) + \cos(5 \alpha_4) + \cos(5 \alpha_5) &= 0 \\ \cos(9 \alpha_1) + \cos(9 \alpha_2) + \cos(9 \alpha_3) + \cos(9 \alpha_4) + \cos(9 \alpha_5) &= 0 \\ \cos(11 \alpha_1) + \cos(11 \alpha_2) + \cos(11 \alpha_3) + \cos(11 \alpha_4) + \cos(11 \alpha_5) &= 0 \end{aligned} \quad (3.19)$$

Debido a que las ecuaciones de la ESA son no lineales trascendentales en forma, sus soluciones consisten en raíces simples, múltiples e incluso sin raíces para un valor particular del índice de modulación. Por lo que el método numérico seleccionado para la resolución del sistema de ecuaciones no lineales fue el de Newton-Raphson, este es un método iterativo el cual comienza con una iteración y una aproximación inicial, y generalmente converge en un cero.

Para la resolución del sistema de ecuaciones a través del método de Newton-Raphson se empleó el software PCT MathCad Express, el cual es un software libre, fue creado un algoritmo para la resolución del sistema de ecuaciones, el cual se puede observar a detalle en el Apéndice C, mediante este algoritmo se resolvió el sistema de ecuaciones no lineales y por ende se obtuvieron los ángulos de conmutación, calculándose de igual forma los tiempos correspondientes para cada uno de los ángulos, estos resultados pueden observarse en la Tabla 3.5.

Tabla 3.5 Ángulos y tiempos de conmutación

	α_1	α_2	α_3	α_4	α_5
Radianes	0.18	0.284	0.532	0.738	1.207
Grados	10.31°	16.30°	30.51°	42.32°	69.18°
Tiempo (ms)	0.47	0.75	1.41	1.95	3.20

3.3 Diagrama del flujo del control del inversor

Una vez que se conocen los ángulos de conmutación que producirán la señal de salida deseada del inverso, es necesario para lograr una correcta interconexión a la red eléctrica, tener una sincronía entre la señal de salida del inversor y la señal de referencia a la red, por lo que para esto las secuencias de conmutación para los transistores son introducidas dentro de una rutina de interrupción como se puede observar en la Figura 3.6, dicha rutina da inicio con una detección de cruce por cero en cada periodo de la señal de referencia, lo que asegura que la frecuencia de la señal de salida del inversor se mantenga en los parámetros establecidos por CFE (Tabla A.3, del Apéndice A), pues se ajustara en cada periodo de la señal de referencia, logrando que ambas señales se encuentren en fase.

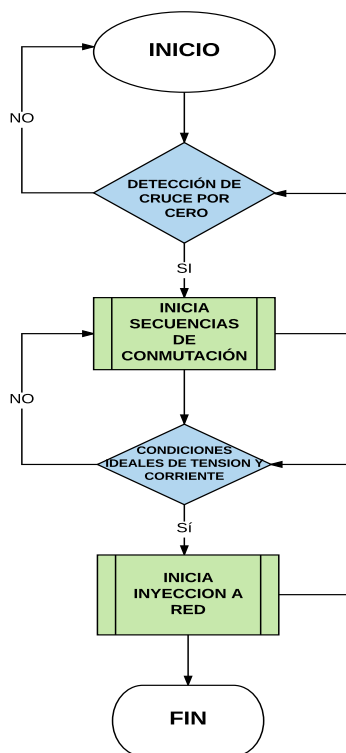


Figura 3.6 Diagrama de flujo para el sistema de control

También, como se observa en la Figura 3.6 existe una rutina en la que se medirá las condiciones de voltaje y corriente, y se encarga de la conexión y desconexión del inversor multinivel a la red eléctrica, en caso de existir condiciones de sobre corriente y sobre tensión el dispositivo se desconectará de la red hasta que dichas condiciones se encuentren dentro de los parámetros ideales para la interconexión.

3.4 Diseño de la circuitería de control

La etapa de control central es diseñada a partir del micro-controlador ATMEGA 2560, que se encuentra en las tarjetas que utilizan el lenguaje de programación de código abierto Arduino, dicha tarjeta a emplear es la Arduino MEGA 2560 R3 (Apéndice B), y cuyo diagrama esquemático se puede observar en la Figura 3.7.

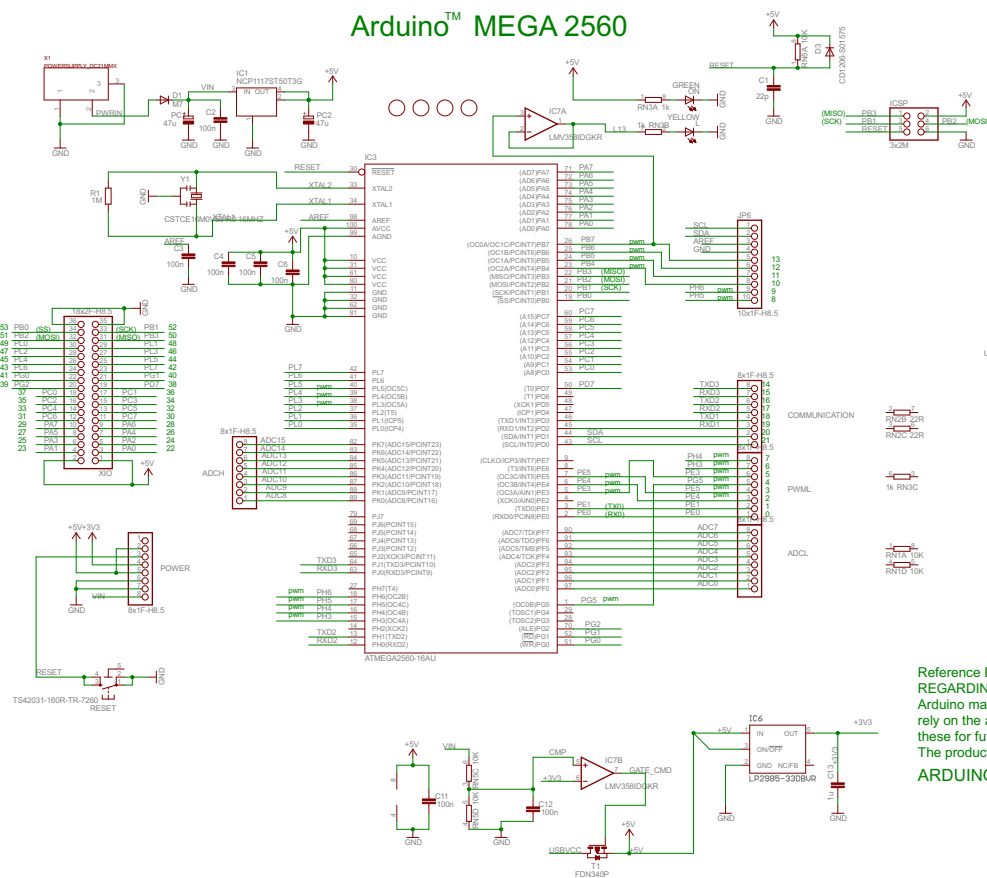


Figura 3.7 Diagrama esquemático de la tarjeta Arduino MEGA 2560 R3

Dicha etapa de control basada en el micro-controlador ATMEGA 2560 de la Figura 3.7, se centra en el procesamiento de las secuencias de conmutación para los transistores del inversor tomando la señal de referencia de cruce por cero de la red para su inicio, así como un monitoreo en tiempo real de las señales de voltaje y corriente, que permitirán conocer los valores de frecuencia, factor de potencia y del espectro armónico.

La etapa de control debe encontrarse totalmente aislada de la etapa de potencia del inversor multinivel y de las señales de referencia de la red, por lo que es necesaria la implementación de opto-acopladores y así como de una etapa de acondicionamiento para las secuencias de conmutación pues de acuerdo a las características del Arduino MEGA ese solo puede proporcionar salidas de máximo 5V y 50mA, y conforme a los requerimientos del transistor IGBT IRGB4062D este necesita de una entrada en su compuerta de 20V y $\pm 200\text{nA}$.

Por lo que para el diseño de la etapa de acondicionamiento de disparo de los transistores IGBT se seleccionó, para el aislamiento de la etapa de control el opto-acoplador 4n26, y para el acondicionamiento de las señales de disparo el driver IR2101 el cual es capaz de acondicionar voltaje y corriente a niveles constantes para su uso en los transistores de tipo IGBT, cuyas hojas de datos correspondientes se pueden encontrar en el Apéndice B.

El circuito de acondicionamiento para las señales de disparos fue configurado para obtener a la salida del driver IR2101 la salida de 20V requerida por el transistor IGBT, este circuito que se observa en la Figura 3.8, es decir opto-acoplador, driver, y transistor es útil para medio puente por lo que sera necesaria la implementación de 6 circuitos similares.

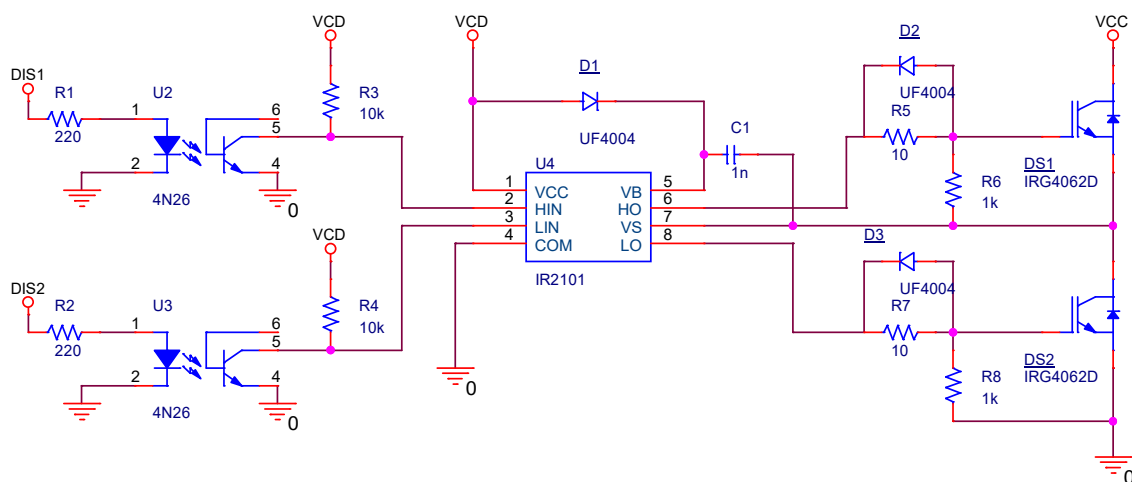


Figura 3.8 Circuito de acondicionamiento para las señales de disparo

Las señales de conmutación son procesadas en el micro-controlador y dirigidas a través de las salidas de los pines digitales hacia los opto-acopladores, para de esta forma aislar la etapa de control, la señal que sale del opto-acoplador, será la entrada del driver la cual se inyectará a la compuerta del transistor IGBT para su encendido y apagado.

La metodología desarrollada en el presente capítulo, permitirá llevar a cabo simulaciones a través de software especializado, y la construcción de un prototipo del inversor multinivel, con los que por medio de pruebas experimentales, será posible la validación del diseño del inversor, con lo que se busca comprobar las hipótesis propuestas en el Capítulo 1. Estos datos obtenidos de simulaciones y pruebas experimentales son presentados en el capítulo siguiente.

Apéndice A: Requerimientos para interconexión en baja tensión

Las plantas de generación pueden estar constituidas por una o varias unidades eólicas o fotovoltaicas en pequeña escala, y de acuerdo a las especificaciones técnicas CFE-L00045 [8] y CFE G0100-04[9], los proyectos de interconexión serán atendidos por el suministrador en las zonas de distribución, donde se valida la información del proyecto proporcionado por el solicitante y deberá cumplir con el equipo necesario que se indica en las secciones siguientes.

A.1 Tensión

La tensión de generación debe ser menor o igual a 1kV . En operación de estado permanente, las fuentes de energía deben mantenerse conectadas ante fluctuaciones que no excedan de un rango de +5% a -10% de la tensión nominal en el punto de interconexión conforme a la norma NMX-J-098 ANCE 1999.

A.2 Capacidad de Generación en pequeña escala

De acuerdo a la resolución RES/054/2010 de la CRE, DOF 08/04/2010. la capacidad máxima a instalar es:

- Hasta 10kW para servicio de uso residencial.
- Hasta 30kW para servicio de uso general en baja tensión.

A.3 Frecuencia

Si la frecuencia se encuentra dentro de los rangos establecidos en la tabla A.1, la protección en el punto de interconexión debe operar con los tiempos totales indicados en la misma Los dispositivos de frecuencia pueden ser fijos o ajustables en campo para sistemas menores o iguales a 30kW de capacidad, y ajustable en campo para sistemas mayores a 30kW de capacidad total.

Tabla A.1 Tiempo del sistema ante fluctuaciones de frecuencias.

Rango de frecuencia (Hz)	Tiempo de operación (s)
> 60.5	0.16
< 59.3	0.16

A.4 Equipo de medición y protección

El equipo de medición y protección para el sistema se establece de acuerdo al esquema de la Figura A.1

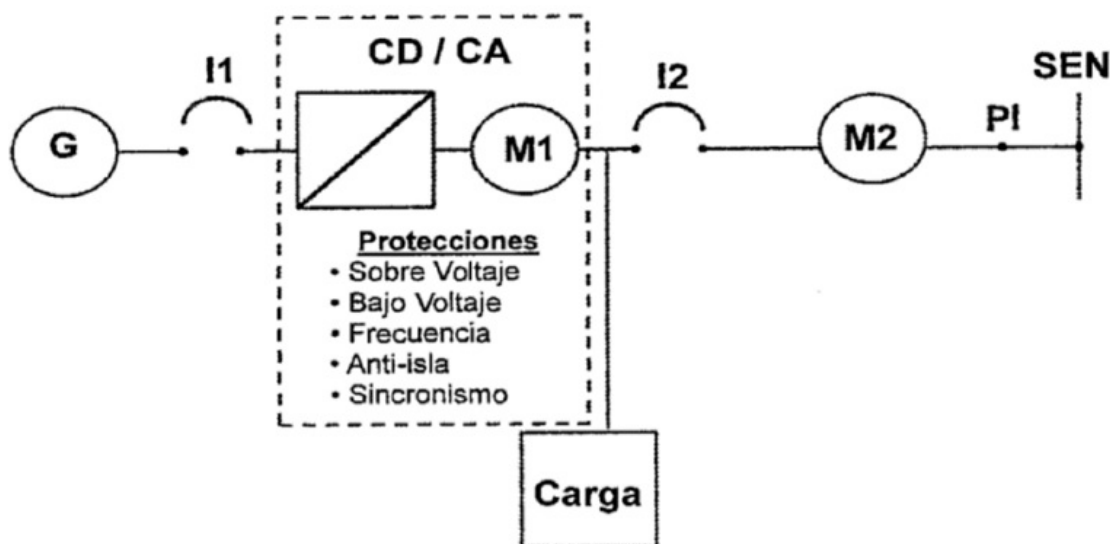


Figura A.1 Esquema para la interconexión de sistemas en pequeña escala

El medidor de la generación total M1 puede estar integrado al equipo, por lo cual el solicitante debe proporcionarlo e instalarlo a la salida del inversor y antes de la carga, el medidor M1 es requerido para fines estadísticos. El sistema de generación debe facilitar el acceso a sus instalaciones, a fin de que el suministrador obtenga la información de la generación total del medidor M1. El medidor M2 es el medidor de facturación y debe ser un medidor electrónico de clase 15 de 100 amperes o clase 30 de 200 amperes, dependiendo de la carga y tipo de medición del cliente; 1, 2 o 3 fases y rango de 120 a 480V, base tipo "S", formas 1S, 2S, 12S o 16S. La clase de exactitud es de 0.5% de acuerdo a la especificación CFE GWH00-78 con medición

de kWh bidireccional. Los dispositivos de protección y desconexión deben ser acorde a las características del generador. Los dispositivos de protección y desconexión acorde a las características de la carga y del nivel de corriente de cortocircuito en el punto de interconexión. Ante condiciones de operación anormales, las fuentes de energía deben desconectarse automáticamente mediante las protecciones indicadas anteriormente, para prevenir daños y garantizar la seguridad de los usuarios.

A.5 Calidad de la energía

Valores máximos permitidos en la operación:

- Componente armónico individual máximo de tensión = 6%.
- Distorsión armónica total en tensión = 8%.
- Desbalance máximo permitido en tensión = 3%.
- Desbalance máximo permitido en corriente = 5%

En los indicadores anteriores se considera hasta la 50va armónica, la THD es medida en forma continua y las armónicas individuales sólo cuando se exceda la THD.

Apéndice B: Hojas de datos

En el siguiente apéndice se presentan las hojas de datos de los componentes utilizados durante el diseño y construcción del inversor multinivel de 11 niveles de tensión. A continuación se en listan los componentes:

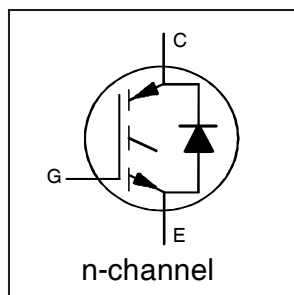
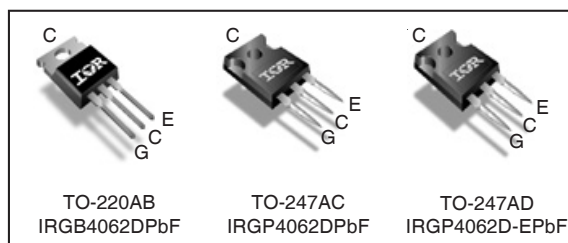
- IRGB4062D
- MUR1540G
- Arduino MEGA 2560 R3

**INSULATED GATE BIPOLAR TRANSISTOR WITH
ULTRAFAST SOFT RECOVERY DIODE**
Features

- Low $V_{CE(ON)}$ Trench IGBT Technology
- Low switching losses
- Maximum Junction temperature 175 °C
- 5 μ S short circuit SOA
- Square RBSOA
- 100% of the parts tested for I_{LM} ①
- Positive $V_{CE(ON)}$ Temperature co-efficient
- Ultra fast soft Recovery Co-Pak Diode
- Tight parameter distribution
- Lead Free Package

Benefits

- High Efficiency in a wide range of applications
- Suitable for a wide range of switching frequencies due to Low $V_{CE(ON)}$ and Low Switching losses
- Rugged transient Performance for increased reliability
- Excellent Current sharing in parallel operation
- Low EMI


 $V_{CES} = 600V$
 $I_C = 24A, T_C = 100^\circ C$
 $t_{SC} \geq 5\mu s, T_{J(max)} = 175^\circ C$
 $V_{CE(on)} \text{ typ.} = 1.65V$


G	C	E
Gate	Collector	Emitter

Absolute Maximum Ratings

	Parameter	Max.	Units
V_{CES}	Collector-to-Emitter Voltage	600	V
$I_C @ T_C = 25^\circ C$	Continuous Collector Current	48	A
$I_C @ T_C = 100^\circ C$	Continuous Collector Current	24	
I_{CM}	Pulse Collector Current, $V_{GE} = 15V$	72	
I_{LM}	Clamped Inductive Load Current, $V_{GE} = 20V$ ①	96	
$I_F @ T_C = 25^\circ C$	Diode Continuous Forward Current	48	
$I_F @ T_C = 100^\circ C$	Diode Continuous Forward Current	24	V
I_{FM}	Diode Maximum Forward Current ③	96	
V_{GE}	Continuous Gate-to-Emitter Voltage	± 20	V
	Transient Gate-to-Emitter Voltage	± 30	
$P_D @ T_C = 25^\circ C$	Maximum Power Dissipation	250	W
$P_D @ T_C = 100^\circ C$	Maximum Power Dissipation	125	
T_J	Operating Junction and	-55 to +175	°C
T_{STG}	Storage Temperature Range		
	Soldering Temperature, for 10 sec.	300 (0.063 in. (1.6mm) from case)	
	Mounting Torque, 6-32 or M3 Screw	10 lbf-in (1.1 N-m)	

Thermal Resistance

	Parameter	Min.	Typ.	Max.	Units
R_{TJC} (IGBT)	Thermal Resistance Junction-to-Case-(each IGBT) TO-220AB	---	---	0.60	°C/W
R_{TJC} (Diode)	Thermal Resistance Junction-to-Case-(each Diode) TO-220AB	---	---	1.53	
R_{TJC} (IGBT)	Thermal Resistance Junction-to-Case-(each IGBT) TO-247	---	---	0.65	
R_{TJC} (Diode)	Thermal Resistance Junction-to-Case-(each Diode) TO-247	---	---	1.62	
R_{TCS}	Thermal Resistance, Case-to-Sink (flat, greased surface)	---	0.50	---	
R_{TJA}	Thermal Resistance, Junction-to-Ambient (typical socket mount)	---	80	---	


IRGB4062DPbF/IRGP4062DPbF/IRGP4062D-EPbF
Electrical Characteristics @ $T_J = 25^\circ\text{C}$ (unless otherwise specified)

	Parameter	Min.	Typ.	Max.	Units	Conditions	Ref.Fig
$V_{(BR)CES}$	Collector-to-Emitter Breakdown Voltage	600	—	—	V	$V_{GE} = 0V, I_C = 100\mu\text{A}$ ④	CT6
$\Delta V_{(BR)CES}/\Delta T_J$	Temperature Coeff. of Breakdown Voltage	—	0.30	—	V/°C	$V_{GE} = 0V, I_C = 1\text{mA}$ (25°C-175°C)	CT6
$V_{CE(on)}$	Collector-to-Emitter Saturation Voltage	—	1.60	1.95	V	$I_C = 24A, V_{GE} = 15V, T_J = 25^\circ\text{C}$	5,6,7
		—	2.03	—		$I_C = 24A, V_{GE} = 15V, T_J = 150^\circ\text{C}$	9,10,11
		—	2.04	—		$I_C = 24A, V_{GE} = 15V, T_J = 175^\circ\text{C}$	
$V_{GE(th)}$	Gate Threshold Voltage	4.0	—	6.5	V	$V_{CE} = V_{GE}, I_C = 700\mu\text{A}$	9, 10,
$\Delta V_{GE(th)}/\Delta T_J$	Threshold Voltage temp. coefficient	—	-18	—	mV/°C	$V_{CE} = V_{GE}, I_C = 1.0\text{mA}$ (25°C - 175°C)	11, 12
g_{fe}	Forward Transconductance	—	17	—	S	$V_{CE} = 50V, I_C = 24A, PW = 80\mu\text{s}$	
I_{CES}	Collector-to-Emitter Leakage Current	—	2.0	25	μA	$V_{GE} = 0V, V_{CE} = 600V$	
		—	775	—		$V_{GE} = 0V, V_{CE} = 600V, T_J = 175^\circ\text{C}$	
V_{FM}	Diode Forward Voltage Drop	—	1.80	2.6	V	$I_F = 24A$	8
		—	1.28	—		$I_F = 24A, T_J = 175^\circ\text{C}$	
I_{GES}	Gate-to-Emitter Leakage Current	—	—	±100	nA	$V_{GE} = \pm 20V$	

Switching Characteristics @ $T_J = 25^\circ\text{C}$ (unless otherwise specified)

	Parameter	Min.	Typ.	Max.	Units	Conditions	Ref.Fig
Q_g	Total Gate Charge (turn-on)	—	50	75	nC	$I_C = 24A$ $V_{GE} = 15V$ $V_{CC} = 400V$	24
Q_{ge}	Gate-to-Emitter Charge (turn-on)	—	13	20			CT1
Q_{gc}	Gate-to-Collector Charge (turn-on)	—	21	31			
E_{on}	Turn-On Switching Loss	—	115	201	μJ	$I_C = 24A, V_{CC} = 400V, V_{GE} = 15V$ $R_G = 10\Omega, L = 200\mu\text{H}, L_S = 150\text{nH}, T_J = 25^\circ\text{C}$	CT4
E_{off}	Turn-Off Switching Loss	—	600	700			
E_{total}	Total Switching Loss	—	715	901		Energy losses include tail & diode reverse recovery	
$t_{d(on)}$	Turn-On delay time	—	41	53	ns	$I_C = 24A, V_{CC} = 400V, V_{GE} = 15V$ $R_G = 10\Omega, L = 200\mu\text{H}, L_S = 150\text{nH}, T_J = 25^\circ\text{C}$	CT4
t_r	Rise time	—	22	31			
$t_{d(off)}$	Turn-Off delay time	—	104	115			
t_f	Fall time	—	29	41			
E_{on}	Turn-On Switching Loss	—	420	—			μJ
E_{off}	Turn-Off Switching Loss	—	840	—	CT4		
E_{total}	Total Switching Loss	—	1260	—		Energy losses include tail & diode reverse recovery	WF1, WF2
$t_{d(on)}$	Turn-On delay time	—	40	—	ns	$I_C = 24A, V_{CC} = 400V, V_{GE} = 15V$ $R_G = 10\Omega, L = 200\mu\text{H}, L_S = 150\text{nH}$ $T_J = 175^\circ\text{C}$	14, 16
t_r	Rise time	—	24	—			CT4
$t_{d(off)}$	Turn-Off delay time	—	125	—			WF1
t_f	Fall time	—	39	—			WF2
C_{ies}	Input Capacitance	—	1490	—	pF	$V_{GE} = 0V$ $V_{CC} = 30V$ $f = 1.0\text{MHz}$	23
C_{oes}	Output Capacitance	—	129	—			
C_{res}	Reverse Transfer Capacitance	—	45	—			
RBSOA	Reverse Bias Safe Operating Area	FULL SQUARE				$T_J = 175^\circ\text{C}, I_C = 96A$ $V_{CC} = 480V, V_p = 600V$ $R_G = 10\Omega, V_{GE} = +20V \text{ to } 0V$	4 CT2
SCSOA	Short Circuit Safe Operating Area	5	—	—	μs	$V_{CC} = 400V, V_p = 600V$ $R_G = 10\Omega, V_{GE} = +15V \text{ to } 0V$	22, CT3 WF4
E_{rec}	Reverse Recovery Energy of the Diode	—	621	—	μJ	$T_J = 175^\circ\text{C}$	17, 18, 19
t_{rr}	Diode Reverse Recovery Time	—	89	—	ns	$V_{CC} = 400V, I_F = 24A$	20, 21
I_{rr}	Peak Reverse Recovery Current	—	37	—	A	$V_{GE} = 15V, R_G = 10\Omega, L = 200\mu\text{H}, L_S = 150\text{nH}$	WF3

Notes:

- ① $V_{CC} = 80\%$ (V_{CES}), $V_{GE} = 20V, L = 100\mu\text{H}, R_G = 10\Omega$.
- ② This is only applied to TO-220AB package.
- ③ Pulse width limited by max. junction temperature.
- ④ Refer to AN-1086 for guidelines for measuring $V_{(BR)CES}$ safely.

MUR1510G, MUR1515G, MUR1520G, MUR1540G, MUR1560G, MURF1560G, SUR81520G, SUR81560G

Switch-mode Power Rectifiers

These state-of-the-art devices are a series designed for use in switching power supplies, inverters and as free wheeling diodes.

Features

- Ultrafast 35 and 60 Nanosecond Recovery Time
- 175°C Operating Junction Temperature
- High Voltage Capability to 600 V
- ESD Ratings:
 - ◆ Machine Model = C
 - ◆ Human Body Model = 3B
- Low Forward Drop
- Low Leakage Specified @ 150°C Case Temperature
- Current Derating Specified @ Both Case and Ambient Temperatures
- SUR8 Prefix for Automotive and Other Applications Requiring Unique Site and Control Change Requirements; AEC-Q101 Qualified and PPAP Capable
- All Packages are Pb-Free*

Mechanical Characteristics:

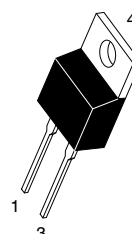
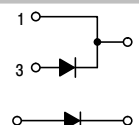
- Case: Epoxy, Molded
- Weight: 1.9 Grams (Approximately)
- Finish: All External Surfaces Corrosion Resistant and Terminal Leads are Readily Solderable
- Lead Temperature for Soldering Purposes: 260°C Max. for 10 Seconds



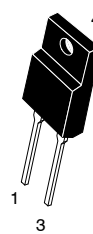
ON Semiconductor®

<http://onsemi.com>

ULTRAFAST RECTIFIERS 15 AMPERES, 100–600 VOLTS

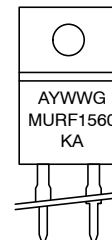
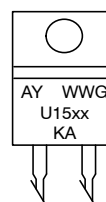


TO-220AC
CASE 221B
STYLE 1



TO-220 FULLPAK
CASE 221AG
STYLE 1

MARKING DIAGRAMS



- A = Assembly Location
Y = Year
WW = Work Week
G = Pb-Free Package
U15xx = Device Code
xx = 10, 15, 20, 40 or 60
KA = Diode Polarity

*For additional information on our Pb-Free strategy and soldering details, please download the ON Semiconductor Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.

ORDERING INFORMATION

See detailed ordering and shipping information in the package dimensions section on page 7 of this data sheet.

**MUR1510G, MUR1515G, MUR1520G, MUR1540G, MUR1560G, MURF1560G,
SUR81520G, SUR81560G**

MAXIMUM RATINGS

Rating	Symbol	MUR/SUR8					Unit
		1510	1515	1520	1540	1560	
Peak Repetitive Reverse Voltage Working Peak Reverse Voltage DC Blocking Voltage	V_{RRM} V_{RWM} V_R	100	150	200	400	600	V
Average Rectified Forward Current (Rated V_R)	$I_{F(AV)}$	15 @ $T_C = 150^\circ\text{C}$			15 @ $T_C = 145^\circ\text{C}$		A
Peak Rectified Forward Current (Rated V_R , Square Wave, 20 kHz)	I_{FRM}	30 @ $T_C = 150^\circ\text{C}$			30 @ $T_C = 145^\circ\text{C}$		A
Nonrepetitive Peak Surge Current (Surge applied at rated load conditions halfwave, single phase, 60 Hz)	I_{FSM}	200			150		A
Operating Junction Temperature and Storage Temperature Range	T_J, T_{stg}	-65 to +175					$^\circ\text{C}$

Stresses exceeding those listed in the Maximum Ratings table may damage the device. If any of these limits are exceeded, device functionality should not be assumed, damage may occur and reliability may be affected.

THERMAL CHARACTERISTICS

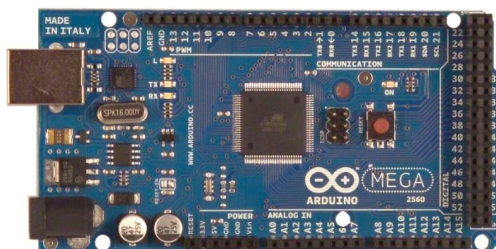
Characteristic	Symbol	Value	Unit
MUR1510 Series: Thermal Resistance Junction-to-Case Junction-to-Ambient	$R_{\theta JC}$ $R_{\theta JA}$	1.5 73	$^\circ\text{C}/\text{W}$
MURF1560: Thermal Resistance Junction-to-Case Junction-to-Ambient	$R_{\theta JC}$ $R_{\theta JA}$	4.25 75	$^\circ\text{C}/\text{W}$

ELECTRICAL CHARACTERISTICS

Characteristic	Symbol	1510	1515	1520	1540	1560	Unit
Maximum Instantaneous Forward Voltage (Note 1) ($I_F = 15\text{ A}$, $T_C = 150^\circ\text{C}$) ($I_F = 15\text{ A}$, $T_C = 25^\circ\text{C}$)	V_F		0.85 1.05		1.12 1.25	1.20 1.50	V
Maximum Instantaneous Reverse Current (Note 1) (Rated DC Voltage, $T_C = 150^\circ\text{C}$) (Rated DC Voltage, $T_C = 25^\circ\text{C}$)	i_R		500 10		500 10	1000 10	μA
Maximum Reverse Recovery Time ($I_F = 1.0\text{ A}$, $di/dt = 50\text{ A}/\mu\text{s}$)	t_{rr}		35			60	ns

Product parametric performance is indicated in the Electrical Characteristics for the listed test conditions, unless otherwise noted. Product performance may not be indicated by the Electrical Characteristics if operated under different conditions.

1. Pulse Test: Pulse Width = 300 μs , Duty Cycle $\leq 2.0\%$.



Overview

The Arduino Mega 2560 is a microcontroller board based on the ATmega2560 ([datasheet](#)). It has 54 digital input/output pins (of which 14 can be used as PWM outputs), 16 analog inputs, 4 UARTs (hardware serial ports), a 16 MHz crystal oscillator, a USB connection, a power jack, an ICSP header, and a reset button. It contains everything needed to support the microcontroller; simply connect it to a computer with a USB cable or power it with a AC-to-DC adapter or battery to get started. The Mega is compatible with most shields designed for the Arduino Duemilanove or Diecimila.

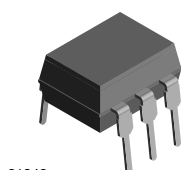
The Mega 2560 is an update to the [Arduino Mega](#), which it replaces.

Summary

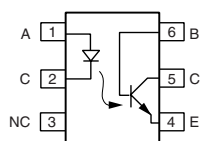
Microcontroller	ATmega2560
Operating Voltage	5V
Input Voltage (recommended)	7-9V
Input Voltage (limits)	6-20V
Digital I/O Pins	54 (of which 14 provide PWM output)
Analog Input Pins	16
DC Current per I/O Pin	40 mA
DC Current for 3.3V Pin	50 mA
Flash Memory	256 KB (8 KB used by bootloader)
SRAM	8 KB
EEPROM	4 KB (ATmega328)
Clock Speed	16 MHz

4N25, 4N26, 4N27, 4N28

Vishay Semiconductors

**Optocoupler, Phototransistor Output, with Base Connection**

21842



1179004-5

DESCRIPTION

The 4N25 family is an industry standard single channel phototransistor coupler. This family includes the 4N25, 4N26, 4N27, 4N28. Each optocoupler consists of gallium arsenide infrared LED and a silicon NPN phototransistor.

FEATURES

- Isolation test voltage 5000 V_{RMS}
- Interfaces with common logic families
- Input-output coupling capacitance < 0.5 pF
- Industry standard dual-in-line 6 pin package
- Compliant to RoHS directive 2002/95/EC and in accordance to WEEE 2002/96/EC


RoHS
COMPLIANT
APPLICATIONS

- AC mains detection
- Reed relay driving
- Switch mode power supply feedback
- Telephone ring detection
- Logic ground isolation
- Logic coupling with high frequency noise rejection

AGENCY APPROVALS

- UL1577, file no. E52744
- BSI: EN 60065:2002, EN 60950:2000
- FIMKO: EN 60950, EN 60065, EN 60335

ORDER INFORMATION	
PART	REMARKS
4N25	CTR > 20 %, DIP-6
4N26	CTR > 20 %, DIP-6
4N27	CTR > 10 %, DIP-6
4N28	CTR > 10 %, DIP-6

ABSOLUTE MAXIMUM RATINGS ⁽¹⁾				
PARAMETER	TEST CONDITION	SYMBOL	VALUE	UNIT
INPUT				
Reverse voltage		V _R	5	V
Forward current		I _F	60	mA
Surge current	t ≤ 10 μs	I _{FSM}	3	A
Power dissipation		P _{diss}	100	mW
OUTPUT				
Collector emitter breakdown voltage		V _{CEO}	70	V
Emitter base breakdown voltage		V _{EBO}	7	V
Collector current		I _C	50	mA
	t ≤ 1 ms	I _C	100	mA
Power dissipation		P _{diss}	150	mW



4N25, 4N26, 4N27, 4N28

Optocoupler, Phototransistor Output, Vishay Semiconductors
with Base Connection

ABSOLUTE MAXIMUM RATINGS ⁽¹⁾				
PARAMETER	TEST CONDITION	SYMBOL	VALUE	UNIT
COUPLER				
Isolation test voltage		V_{ISO}	5000	V_{RMS}
Creepage distance			≥ 7	mm
Clearance distance			≥ 7	mm
Isolation thickness between emitter and detector			≥ 0.4	mm
Comparative tracking index	DIN IEC 112/VDE 0303, part 1		175	
Isolation resistance	$V_{IO} = 500\text{ V}, T_{amb} = 25\text{ }^{\circ}\text{C}$	R_{IO}	10^{12}	Ω
	$V_{IO} = 500\text{ V}, T_{amb} = 100\text{ }^{\circ}\text{C}$	R_{IO}	10^{11}	Ω
Storage temperature		T_{stg}	- 55 to + 125	$^{\circ}\text{C}$
Operating temperature		T_{amb}	- 55 to + 100	$^{\circ}\text{C}$
Junction temperature		T_j	125	$^{\circ}\text{C}$
Soldering temperature ⁽²⁾	max.10 s dip soldering: distance to seating plane $\geq 1.5\text{ mm}$	T_{sld}	260	$^{\circ}\text{C}$

Notes

⁽¹⁾ $T_{amb} = 25\text{ }^{\circ}\text{C}$, unless otherwise specified.

Stresses in excess of the absolute maximum ratings can cause permanent damage to the device. Functional operation of the device is not implied at these or any other conditions in excess of those given in the operational sections of this document. Exposure to absolute maximum ratings for extended periods of the time can adversely affect reliability.

⁽²⁾ Refer to reflow profile for soldering conditions for surface mounted devices (SMD). Refer to wave profile for soldering conditions for through hole devices (DIP).

ELECTRICAL CHARACTERISTICS ⁽¹⁾							
PARAMETER	TEST CONDITION	PART	SYMBOL	MIN.	TYP.	MAX.	UNIT
INPUT							
Forward voltage ⁽²⁾	$I_F = 50\text{ mA}$		V_F		1.3	1.5	V
Reverse current ⁽²⁾	$V_R = 3\text{ V}$		I_R		0.1	100	μA
Capacitance	$V_R = 0\text{ V}$		C_O		25		pF
OUTPUT							
Collector base breakdown voltage ⁽²⁾	$I_C = 100\text{ }\mu\text{A}$		BV_{CBO}	70			V
Collector emitter breakdown voltage ⁽²⁾	$I_C = 1\text{ mA}$		BV_{CEO}	30			V
Emitter collector breakdown voltage ⁽²⁾	$I_E = 100\text{ }\mu\text{A}$		BV_{ECO}	7			V
$I_{CEO}(\text{dark})$ ⁽²⁾	$V_{CE} = 10\text{ V}, (\text{base open})$	4N25			5	50	nA
		4N26			5	50	nA
		4N27			5	50	nA
		4N28			10	100	nA
$I_{CBO}(\text{dark})$ ⁽²⁾	$V_{CB} = 10\text{ V}, (\text{emitter open})$				2	20	nA
Collector emitter capacitance	$V_{CE} = 0$		C_{CE}		6		pF
COUPLER							
Isolation test voltage ⁽²⁾	Peak, 60 Hz		V_{IO}	5000			V
Saturation voltage, collector emitter	$I_{CE} = 2\text{ mA}, I_F = 50\text{ mA}$		$V_{CE(\text{sat})}$			0.5	V
Resistance, input output ⁽²⁾	$V_{IO} = 500\text{ V}$		R_{IO}	100			$\text{G}\Omega$
Capacitance, input output	$f = 1\text{ MHz}$		C_{IO}		0.6		pF

Notes

⁽¹⁾ $T_{amb} = 25\text{ }^{\circ}\text{C}$, unless otherwise specified.

Minimum and maximum values are testing requirements. Typical values are characteristics of the device and are the result of engineering evaluation. Typical values are for information only and are not part of the testing requirements.

⁽²⁾ JEDEC registered values are 2500 V, 1500 V, 1500 V, and 500 V for the 4N25, 4N26, 4N27, and 4N28 respectively.

IR2101(S)/IR2102(S) & (PbF)

HIGH AND LOW SIDE DRIVER

Product Summary

V_{OFFSET}	600V max.
$I_{\text{O}+/-}$	130 mA / 270 mA
V_{OUT}	10 - 20V
$t_{\text{on/off}}$ (typ.)	160 & 150 ns
Delay Matching	50 ns

Features

- Floating channel designed for bootstrap operation
Fully operational to +600V
Tolerant to negative transient voltage
dV/dt immune
- Gate drive supply range from 10 to 20V
- Undervoltage lockout
- 3.3V, 5V, and 15V logic input compatible
- Matched propagation delay for both channels
- Outputs in phase with inputs (IR2101) or out of phase with inputs (IR2102)
- Also available LEAD-FREE

Description

The IR2101(S)/IR2102(S) are high voltage, high speed power MOSFET and IGBT drivers with independent high and low side referenced output channels. Proprietary HVIC and latch immune CMOS technologies enable ruggedized monolithic construction. The logic input is compatible with standard CMOS or LSTTL output, down to 3.3V logic. The output drivers feature a high pulse current buffer stage designed for minimum driver cross-conduction. The floating channel can be used to drive an N-channel power MOSFET or IGBT in the high side configuration which operates up to 600 volts.

Packages

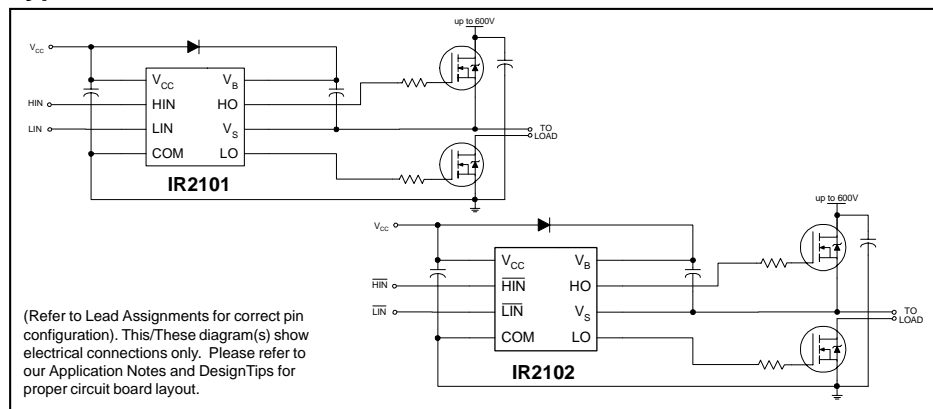


8-Lead SOIC
IR2101S/IR2102S



8-Lead PDIP
IR2101/IR2102

Typical Connection



IR2101(S)/IR2102(S) & (PbF)

International
 Rectifier

Absolute Maximum Ratings

Absolute maximum ratings indicate sustained limits beyond which damage to the device may occur. All voltage parameters are absolute voltages referenced to COM. The thermal resistance and power dissipation ratings are measured under board mounted and still air conditions.

Symbol	Definition	Min.	Max.	Units	
V _B	High side floating supply voltage	-0.3	625	V	
V _S	High side floating supply offset voltage	V _B - 25	V _B + 0.3		
V _{HO}	High side floating output voltage	V _S - 0.3	V _B + 0.3		
V _{CC}	Low side and logic fixed supply voltage	-0.3	25		
V _{LO}	Low side output voltage	-0.3	V _{CC} + 0.3		
V _{IN}	Logic input voltage (HIN & LIN)	-0.3	V _{CC} + 0.3		
dV _S /dt	Allowable offset supply voltage transient	—	50	V/ns	
P _D	Package power dissipation @ T _A ≤ +25°C	(8 lead PDIP)	—	1.0	W
		(8 lead SOIC)	—	0.625	
R _{thJA}	Thermal resistance, junction to ambient	(8 lead PDIP)	—	125	°C/W
		(8 lead SOIC)	—	200	
T _J	Junction temperature	—	150	°C	
T _S	Storage temperature	-55	150		
T _L	Lead temperature (soldering, 10 seconds)	—	300		

Recommended Operating Conditions

The input/output logic timing diagram is shown in figure 1. For proper operation the device should be used within the recommended conditions. The V_S offset rating is tested with all supplies biased at 15V differential.

Symbol	Definition	Min.	Max.	Units
V _B	High side floating supply absolute voltage	V _S + 10	V _S + 20	V
V _S	High side floating supply offset voltage	Note 1	600	
V _{HO}	High side floating output voltage	V _S	V _B	
V _{CC}	Low side and logic fixed supply voltage	10	20	
V _{LO}	Low side output voltage	0	V _{CC}	
V _{IN}	Logic input voltage (HIN & LIN) (IR2101) & ($\overline{\text{HIN}}$ & $\overline{\text{LIN}}$) (IR2102)	0	V _{CC}	
T _A	Ambient temperature	-40	125	°C

Note 1: Logic operational for V_S of -5 to +600V. Logic state held for V_S of -5V to -V_{BS}. (Please refer to the Design Tip DT97-3 for more details).

Apéndice C: Algoritmo para la resolución del sistema de ecuaciones en MathCad

Calcular variables para SHE

$$a := 0.1 \quad b := 0.4 \quad c := 0.7 \quad d := 1 \quad e := 1.3$$

$$f := 3$$

$$M := 1.3$$

$$\frac{\pi}{2} = 1.571$$

Given

$$\cos(a) + \cos(b) + \cos(c) + \cos(d) + \cos(e) = M \cdot f$$

$$\cos(3 \cdot a) + \cos(3 \cdot b) + \cos(3 \cdot c) + \cos(3 \cdot d) + \cos(3 \cdot e) = 0$$

$$\cos(5 \cdot a) + \cos(5 \cdot b) + \cos(5 \cdot c) + \cos(5 \cdot d) + \cos(5 \cdot e) = 0$$

$$\cos(9 \cdot a) + \cos(9 \cdot b) + \cos(9 \cdot c) + \cos(9 \cdot d) + \cos(9 \cdot e) = 0$$

$$\cos(11 \cdot a) + \cos(11 \cdot b) + \cos(11 \cdot c) + \cos(11 \cdot d) + \cos(11 \cdot e) = 0$$

$$\text{Res} := \text{Find}(a, b, c, d, e)$$

$$\text{Res} = \begin{pmatrix} 0.18 \\ 0.28454 \\ 0.53251 \\ 0.7387 \\ 1.20736 \end{pmatrix}$$

$$\text{complemento} := \pi - \text{Res}$$

$$\text{complemento} = \begin{pmatrix} 2.9616 \\ 2.85705 \\ 2.60908 \\ 2.40289 \\ 1.93424 \end{pmatrix}$$

$$\text{tiempo} := \frac{\text{Res} \cdot 8.33335}{\pi}$$

$$\text{tiempo} = \begin{pmatrix} 0.47745 \\ 0.75478 \\ 1.41254 \\ 1.95948 \\ 3.20262 \end{pmatrix}$$

$$\text{tiempo2} := \frac{\text{complemento} \cdot 8.33335}{\pi}$$

$$\text{tiempo2} = \begin{pmatrix} 7.8559 \\ 7.57857 \\ 6.92081 \\ 6.37387 \\ 5.13073 \end{pmatrix}$$

$$\text{tiempo3} := \text{tiempo} + 8.33335$$

$$\text{tiempo3} = \begin{pmatrix} 8.8108 \\ 9.08813 \\ 9.74589 \\ 10.29283 \\ 11.53597 \end{pmatrix}$$

$$\text{tiempo4} := \text{tiempo2} + 8.33335$$

$$\text{tiempo4} = \begin{pmatrix} 16.18925 \\ 15.91192 \\ 15.25416 \\ 14.70722 \\ 13.46408 \end{pmatrix}$$

Referencias

- [1] “*Key World Energy Statistic 2016*”, International Energy Agency.
- [2] “*2015 Renewable Energy Data Book*”, U.S. Department of Energy, pp. 42-51, EE.UU. Noviembre 2016.
- [3] R. A. Rionda, L.G. Guerrero, “*Prospectiva del sector Eléctrico 2015-2029*”, SENER, México 2015.
- [4] *Renewable Energy Capacity Statistics 2015*, International Renewable Energy Agency (IRENA), IRENA Headquarters, 2015.
- [5] L. Beltrán, E. Villanueva, “*Prospectiva Energías Renovables 2015-2029*”, SENER, México, 2016.
- [6] O. U. Flores, E. G. Borja, “*Programa de Desarrollo del Sistema Eléctrico Nacional (PRODESEN) 2015-2029*”, SENER, México, Julio 2016
- [7] S. Doty, W. C. Turner, “*Energy Management Handbook*”, 7ma Ed., Ed. The Fairmont Press, Inc., 2009.
- [8] Comisión Federal de Electricidad, “Desviaciones Permisibles En Las Formas De Onda De Tensión Y Corriente En El Suministro Y Consumo De Energía Eléctrica Especificación (NORMA CFE L0000-45).”, MEXICO, 2005.
- [9] Especificación “CFE G0100-04 Interconexión a la red eléctrica de baja tensión de sistemas fotovoltaicos con capacidad hasta 30kW”.
- [10] M. Pietzch García, “Convertidores CC/CA para la conexión directa a red de sistemas fotovoltaicos: comparación entre topologías de 2 y 3 niveles.”, Bachelor’s Thesis, Universidad Politécnica de Cataluña, 2004.
- [11] R. Mahalakshmi and K. Thampatty, “Grid Connected Multilevel Inverter for Renewable Energy Applications”, *Procedia Technology*, vol. 21, pp. 636-642, 2015.
- [12] M. Bakhshizadeh, H. Iman-Eini and F. Blaabjerg, “Selective Harmonic Elimination in Asymmetric Cascaded Multilevel Inverters Using a New Low-frequency Strategy for Photovoltaic Applications”, *Electric Power Components and Systems*, vol. 43, no. 8-10, pp. 964-969, 2015.

- [13] . Shehu, T. Yalcinoz and A. Kunya, “Modelling and Simulation of Cascaded H-Bridge Multilevel Single Source Inverter Using PSIM”, International Science Index, Energy and Power Engineering, vol. 8, no. 5, pp. 756-761, 2014.
- [14] C. Sarkar, S. Saha, P. Saha and G. Panda, “Selective Harmonics Elimination Of Cascaded Multilevel Inverter Using Genetic Algorithm”, International Journal of Advanced Research in Electronics and Communication Engineering (IJARECE), vol. 2, no. 12, pp. 935-939, 2013.
- [15] Bindeshwar S., Nupur M., “*Multi-level inverter: A literature survey on topologies and control strategies*”, International Journal of Reviews in Computing, Vol. 10, 2012.
- [16] G. Maldonado Martínez, “Diseño e implementación de un inversor multinivel, de cinco niveles”, Master’s Tesis, Universidad Nacional Autónoma de México, 2013.
- [17] O. Jimenez Antunez, “*Estudio de Técnicas de Modulación para el Inversor Multinivel en Cascada Híbrido (Simétrico-Asimétrico)*”, Master’s Tesis, Centro Nacional de Investigación y Desarrollo Tecnológico, 2012.
- [18] N. Prabakaran, K. Palanisamy. “*A comprehensive review on reduced switch multilevel inverter topologies, modulation techniques and applications.*” Renewable and Sustainable Energy Reviews, 76, 1248-1282, 2017 <http://dx.doi.org/10.1016/j.rser.2017.03.121>
- [19] E. D. Hernández, “*Análisis y desarrollo de un inversor multinivel aplicado a fuentes alternas de energía para interconexión a la red*”. (Tesis de Maestría). Unidad Académica de Ingeniería Eléctrica, Universidad Autónoma de Zacatecas. 2014.
- [20] J. Rodríguez, L. Franquelo, S. Kuro, J. León, R. Portillo, M. Martin, & M. Pérez, “*Multilevel Converters: An Enabling Technology for High-Power Applications*”. Proceedings of the IEEE, 97(11), 1786-1817, 2009.
- [21] M. Rashid, V. González Pozo. *Electrónica de potencia*, Tercera Edición, Prentice Hall Hispanoamericana, México, 2004, pp. 206- 303, 408-420.
- [22] G. Nageswara Rao, P. Sangameswara Raju, K. Chandra Sekhar, “*Harmonic elimination of cascaded H-bridge multilevel inverter based active power filter controlled by intelligent techniques*”, International Journal of Electrical Power & Energy Systems, Vol. 61, Octubre 2014, pp. 56-63.
- [23] K. Sarker, D. Chatterjee, S.K. Goswami, An optimized co-ordinated approach for harmonic minimization of Doubly Fed Induction Generator connected micro-grid system?, International Journal of Electrical Power & Energy Systems, Vol. 64, Enero 2015, pp. 58-70.
- [24] M. Bakhshizadeh, H. Iman-Eini, F. Blaabjerg, “*Selective Harmonic Elimination in Asymmetric Cascaded Multilevel Inverters Using a New Low-frequency Strategy for Photovoltaic Applications*”. Electric Power Components and Systems, 43(8-10), 964-969, 2015, <http://dx.doi.org/10.1080/15325008.2015.1021058>

- [25] F. Chauca, F. Llerena & P. Chico, “*Diseño y construcción de un inversor multinivel*”, Revista EPN, Vol. 33 No. 1. Colombia.